



Multidétecteur 4π INDRA - étude et réalisation d'un codeur de charge

A. Bertaut

► To cite this version:

A. Bertaut. Multidétecteur 4π INDRA - étude et réalisation d'un codeur de charge. Instrumentations et Détecteurs [physics.ins-det]. Université de Caen, 1993. Français. NNT: . in2p3-00010201

HAL Id: in2p3-00010201

<https://hal.in2p3.fr/in2p3-00010201>

Submitted on 31 Jan 2017

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THESE

Présentée

par

Alain BERTAUT

pour obtenir

le GRADE de DOCTEUR DE L'UNIVERSITE DE CAEN
Spécialité : INSTRUMENTATION ET MESURE

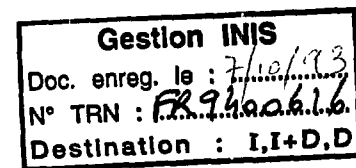
Sujet:

Multidétecteur 4π INDRA Etude et réalisation d'un codeur de charge

Soutenue le 2 Juillet 1993 devant la commission d'examen :

**Daniel BLOYET
Marie-Madeleine ALEONARD
Bernard BERTHIER
Hugues DELAGRANGE
Joël POUTHAS
Michel TRIPON**

**Président
Rapporteur
Rapporteur
Examineur
Examineur
Examineur**



THESE

Présentée

par

Alain BERTAUT

pour obtenir

**le GRADE de DOCTEUR DE L'UNIVERSITE DE CAEN
Spécialité : INSTRUMENTATION ET MESURE**

Sujet:

**Multidétecteur 4π INDRA
Etude et réalisation d'un codeur de charge**

Soutenue le 2 Juillet 1993 devant la commission d'examen :

**Daniel BLOYET
Marie-Madeleine ALEONARD
Bernard BERTHIER
Hugues DELAGRANGE
Joël POUTHAS
Michel TRIPON**

**Président
Rapporteur
Rapporteur
Examineur
Examineur
Examineur**

Remerciements

A Mr Daniel BLOYET qui m'a fait l'honneur de présider cette thèse et dont j'ai apprécié la qualité de l'enseignement.

A Mme Marie-Madeleine ALEONARD et Mr Bernard BERTHIER qui ont accepté d'être les rapporteurs de cette thèse et de faire partie du jury.

A Mr Samuel HARAR qui m'a accueilli au GANIL, me permettant ainsi de participer au développement d'un module électronique.

A Mr Lucien AVENEL qui m'a recruté au sein de son entreprise GAN'ELEC et qui a financé ce travail de recherche.

A Mr Michel TRIPON qui m'a initié à l'électronique au cours de trois années d'étroite collaboration et sans qui ce mémoire n'aurait jamais pu voir le jour.

A tous les membres de l'équipe du Groupe Informatique Physique du GANIL qui ont permis, par leur aide et leurs conseils, que ce travail se déroule dans de bonnes conditions.

A Mr Hugues DELAGRANGE pour ses encouragements et les conseils qu'il m'a prodigués tout au long de ce travail.

A Mrs Joël POUTHAS, Bruno CAHAN et Jean-Pierre PASSERIEUX pour les précisions qu'ils ont pu m'apporter sur l'électronique du multidétecteur INDRA.

A Mrs Jean-François CAM et François LOUIS DIT PICARD pour leur amicale compréhension.

INTRODUCTION.....	1
INDRA, DES DETECTEURS AUX CODEURS, NECESSITE D'UNE NOUVELLE CHAINE ELECTRONIQUE.....	5
1.1 - PRESENTATION DU MULTIDETECTEUR INDRA.....	7
1.2 - DETECTEURS SILICIUM ET CHAMBRE A IONISATION.....	10
1.2.1 - LA METHODE $\Delta E-E$	10
1.2.2 - LE TELESCOPE Ch.Io-Si-CsI.....	11
1.3 - PREAMPLIFICATEURS ET AMPLIFICATEURS.....	13
1.3.1 - PREAMPLIFICATEURS.....	14
1.3.2 - AMPLIFICATEURS.....	17
1.4 - ANALYSE DU CHOIX DE CODAGE, CHARGE OU AMPLITUDE?.....	24
1.4.1 - PRINCIPE DU CODAGE EN CHARGE.....	25
1.4.2 - PRINCIPE DU CODAGE EN AMPLITUDE.....	26
1.4.3 - LE CHOIX POUR INDRA, CHARGE OU AMPLITUDE?.....	28
1.4.3.1 - La grande dynamique.....	28
1.4.3.2 - La résolution équivalente à 16 bits pour les faibles énergies.....	29
1.4.3.3 - Le déficit balistique.....	29
1.4.3.3.1 - Le temps de montée des impulsions.....	30
1.4.3.3.2 - Déficit balistique et codage en amplitude.....	31
1.4.3.3.3 - Déficit balistique et codage en charge.....	35
1.4.3.4 - Résolution en énergie.....	38
1.5 - MODE DE DECLENCHEMENT, LE "TRIGGER ASYNCHRONE".....	39
1.5.1 - LE "TRIGGER".....	40
1.5.2 - MODE SYNCHRONE.....	40
1.5.3 - MODE ASYNCHRONE.....	41
1.5.4 - LE "TRIGGER" ASYNCHRONE D'INDRA.....	43
1.6 - BILAN DES CARACTERISTIQUES DE LA CHAINE ELECTRONIQUE.....	45
CHOIX TECHNIQUES ET REALISATION DU CODEUR DE CHARGE.....	47
II.1 - STANDARD ELECTRONIQUE CHOISI POUR INDRA - LE VXI.....	49
II.1.1 - LE VXI.....	50
II.1.1.1 - Les caractéristiques mécaniques.....	50
II.1.1.2 - Les caractéristiques électriques.....	51
II.1.1.2.1 - Les alimentations.....	52
II.1.1.2.2 - Les signaux logiques.....	53
II.1.2 - INDRA ET LE STANDARD VXI.....	55
II.2 - SOLUTION CHOISIE POUR LA GRANDE RESOLUTION, LA DOUBLE INTEGRATION.....	55

II.3 - QDC6412V, CODEUR DE CHARGE 32 VOIES DOUBLE INTEGRATION STANDARD VXI.....	61
II.3.1 - LES DIFFERENTS BLOCS FONCTIONNELS DU CODEUR.....	61
II.3.1.1 - La conversion charge-tension.	64
II.3.1.1.1 - Choix de la technologie.....	65
II.3.1.1.2 - Le double intégrateur "DUOINT".....	66
II.3.1.1.3 - Le séquençement d'un double intégrateur "SEQRAM".....	71
II.3.1.2 - La conversion analogique-numérique.....	75
II.3.1.2.1 - Les défauts d'un Convertisseur Analogique-Numérique.....	76
II.3.1.2.2 - La correction par échelle glissante.....	79
II.3.1.3 - Le séquençement de la conversion.	83
II.3.1.3.1 - Le composant programmable (PGA) RAZINT.	84
II.3.1.3.2 - Le composant programmable (PGA) DECODADR.....	84
II.3.1.3.3 - Le composant programmable (PGA) SEQCOD.....	85
II.3.1.4 - L'initialisation du codeur.....	89
II.3.1.5 - La lecture des données.....	97
II.3.1.5.1 - Le mode de lecture A32 ou A24 en D32.....	98
II.3.1.5.2 - Le mode de lecture ROCO.....	99
II.3.1.6 - La visualisation des signaux.	101
RESULTATS	105
III.1 - MESURE DES CARACTERISTIQUES ELECTRIQUES DU CODEUR.....	107
III.1.1 - CARACTERISATION DE L'ENTREE ANALOGIQUE DE L'INTEGRATEUR.....	107
III.1.1.1 - L'amplitude maximum des courants d'entrée.....	107
III.1.1.2 - La vitesse de balayage de l'entrée de l'intégrateur.	108
III.1.2 - MESURE DES LINEARITES.....	109
III.1.2.1 - La linéarité intégrale.....	110
III.1.2.2 - La linéarité différentielle.....	112
III.1.3 - FONCTIONNEMENT, MESURES TEMPORELLES.....	115
III.1.3.1 - Un cycle d'intégration.....	115
III.1.3.2 - Un cycle de conversion.	117
III.1.3.3 - La conversion et la lecture de l'ensemble des voies du codeur.....	117
III.1.4 - PUISSANCE CONSOMMEE ET INCIDENCE DE SA LIMITATION.....	118
III.1.4.1 - Les transposeurs ECL-TTL.....	119
III.1.4.2 - La polarisation des cartes SEQRAM.....	121
III.2 - RESULTATS EXPERIMENTAUX EN PHYSIQUE.	122

III.3 - PERSPECTIVES.....	125
III.3.1 - LE REGLAGE AUTOMATIQUE DU PIEDESTAL.....	125
III.3.2 - L'AUGMENTATION DU NOMBRE DE VOIES.....	126
III.3.3 - UN CODEUR MULTI-FONCTIONS.....	127
- CONCLUSIONS.....	129
ANNEXE A - DEUX CHAINES DE CODAGE.....	135
ANNEXE B - COMPARAISON CAMAC-VXI.....	137
ANNEXE C - CONSTITUTION ET DEVELOPPEMENT D'UN PGA XILINX.....	139
ANNEXE D - QUELQUES TECHNIQUES DE CONVERSION ANALOGIQUE-NUMERIQUE.....	144
- REFERENCES BIBLIOGRAPHIQUES.....	147
- BIBLIOGRAPHIE.....	151

Figure 01 - Vue éclatée du multidétecteur modulaire INDRA.	9
Figure 02 - Exemple d'identification ΔE (Chambre à ionisation)-E(Silicium).	11
Figure 03 - Télescope INDRA.	12
Figure 04 - Localisation des préamplificateurs.	14
Figure 05 - Schéma équivalent du PAC.	15
Figure 06 - Réponse d'un filtre monopolaire non corrigé.	19
Figure 07 - Filtre monopolaire corrigé et déficit en charge.	20
Figure 08 - Filtre bipolaire associé à un "clamp".	21
Figure 09 - Deux filtres bipolaires.	22
Figure 10 - Schéma de principe d'un amplificateur INDRA pour la voie énergie.	23
Figure 11 - Schéma de principe de l'intégrateur.	25
Figure 12 - Schéma de principe du détecteur de crête.	26
Figure 13 - Exemple de polarisation d'un détecteur de crête.	27
Figure 14 - Courant $I(t)$ généré par le détecteur.	31
Figure 15 - Tension $V_e(t)$ que voit l'amplificateur.	31
Figure 16 - Tension de forme exponentielle $V_e(t)$	34
Figure 17 - L'amplificateur et l'intégrateur.	35
Figure 18 - Synoptique d'un dispositif expérimental.	39
Figure 19 - Synoptique pour le mode synchrone.	41
Figure 20 - Synoptique pour le mode asynchrone.	42
Figure 21 - Schéma complet de la chaîne d'acquisition	46
Figure 22 - Les quatre formats VXI.	51
Figure 23 - Les connexions des différentes lignes VXI.	54
Figure 24 - Alternatives pour l'obtention d'une résolution 16 bits pour les faibles énergies.	56
Figure 25 - Spectre mesuré (a)	57
Figure 26 - Spectre mesuré (b), voie à gain 16	58
Figure 27 - Le point sensible de l'intégrateur.	59
Figure 28 - Spectre mesuré (c), voie à gain 16	60
Figure 29 - Les différents blocs fonctionnels du cœur.	63
Figure 30 - Carte fille et carte mère.	65
Figure 31 - Le calcul des capacités d'intégration.	66
Figure 32 - Etage d'entrée de l'intégrateur Hybride.	69
Figure 33 - Etage d'entrée d'un intégrateur du QDC6412V.	69
Figure 34 - Schéma complet d'un intégrateur.	70
Figure 35 - Chronogrammes du mode asynchrone.	72
Figure 36 - Génération de GATE(i) et de VALID(i).	73
Figure 37 - Convertisseur idéal et NLD.	78

Figure 38 - Correction de la NLD - l'échelle glissante.	79
Figure 39 - Les améliorations de l'échelle glissante.	80
Figure 40 - Chronogramme de DECODADR.	84
Figure 41 - Synoptique de la conversion A-N.	86
Figure 42 - Organigramme de la conversion A-N.	88
Figure 43 - Allocation de la mémoire en mode A16.	92
Figure 44 - Chronogramme de la lecture ROCO.	100
Figure 45 - La sommation de courants pour la ligne contrôle fenêtre.	102
Figure 46 - Attaque en tension ou attaque en courant.	110
Figure 47 - La linéarité intégrale (voie à petit gain).	111
Figure 48 - La linéarité intégrale (voie à grand gain).	111
Figure 49 - Le montage permettant d'effectuer la mesure de la linéarité différentielle.	113
Figure 50 - La mesure de la NLD - spectres pour le petit et grand gain.	114
Figure 51 - Le chronogramme de l'intégration.	116
Figure 52 - Le chronogramme de la conversion.	117
Figure 53 - Le chronogramme de la conversion - lecture.	118
Figure 54 - Le transposeur ECL-TTL.	119
Figure 55 - La polarisation des composants ECL.	121
Figure 56 - Spectres ΔE -E, petit et grand gains pour un couple de détecteurs Ch.Io-Si.	123
Figure 57 - Spectres ΔE -E, petit et grand gains pour un couple de détecteurs Si-Csl.	124

1/2

79
80
84
86
88
92
00
02
10
11
11
13
14
16
17
18
19
21
23
24

INTRODUCTION

L'expérimentation, en physique nucléaire, consiste à bombarder les noyaux d'une cible fixe par un faisceau d'autres noyaux accélérés. Le GANIL¹, à Caen, fournit des faisceaux d'ions allant du Carbone à l'Uranium à des énergies maximales de 100 MeV par nucléon pour les ions les plus légers. La cible est placée à l'intérieur d'une enceinte sous vide et est entourée de différents types de détecteurs dont le rôle est de mesurer les fragments produits lors des collisions noyau-noyau.

Le travail de cette thèse s'intègre dans la réalisation d'un dispositif expérimental permettant d'étudier les réactions produites lors de ces collisions : le projet INDRA². Dans le cadre de ce développement, des innovations ont été réalisées à tous les niveaux de la chaîne allant du détecteur jusqu'au système informatique de contrôle et de traitement de l'expérience.

Une particule qui traverse un détecteur ou qui est stoppée dans celui-ci, y dépose une certaine quantité d'énergie. Afin de mesurer cette grandeur et de la rendre exploitable par le système informatique, le physicien peut utiliser un codeur de charge. Son rôle est de mesurer cette énergie par le calcul de la surface de l'impulsion analogique issue d'un détecteur. Le codeur convertit le résultat de l'intégration en un nombre binaire qui servira à l'élaboration de spectres permettant l'interprétation des expériences.

Nous décrirons, tout d'abord, la chaîne d'acquisition développée pour le projet INDRA nous permettant ainsi de préciser les apports de cette réalisation et surtout les conséquences de ses caractéristiques qui ont suscité l'étude et le développement d'un codeur de charge. Dans ce premier chapitre, nous tenterons également de justifier l'emploi du codeur de charge au détriment d'un codage d'amplitude. Dans un deuxième chapitre, nous détaillerons les choix que nous avons effectués pour la réalisation d'un codeur de charge répondant aux contraintes du multidétecteur INDRA. Enfin, nous aborderons le chapitre traitant de la réalisation d'un prototype, des essais et des mesures nécessaires au test et à la validation des calculs et des choix conceptuels et matériels effectués. Dans cette troisième partie, à la lumière des travaux que nous avons réalisés, et notamment la fabrication, la mise au point et les réglages d'une série de dix modules, nous proposerons des améliorations qui pourraient être envisagées pour des développements futurs.

¹ - Grand Accélérateur National d'Ions Lourds, B.P. N° 5027, F-14021 Caen Cedex.

² - Identification de Noyaux et Détection avec Résolutions Accrues.

CHAPITRE I

INDRA, DES DETECTEURS
AUX CODEURS, NECESSITE
D'UNE NOUVELLE CHAINE
ELECTRONIQUE.

Après avoir précisé les spécificités du multidétecteur INDRA [IND1 89] et [COP 90] et en avoir souligné les caractéristiques principales ainsi que ses performances attendues, nous décrirons plus particulièrement la chaîne électronique développée pour les détecteurs Silicium et Chambre à ionisation. La description du rôle des différents maillons de cette chaîne nous permettra d'en souligner les originalités essentielles et de préciser l'environnement dans lequel le codeur de charge fonctionne ainsi que les caractéristiques principales auxquelles il doit satisfaire. L'ampleur du projet INDRA et notamment le nombre important de détecteurs qu'il comporte, a imposé l'utilisation d'un standard électronique adapté : le VXI³.

I.1 - PRESENTATION DU MULTIDETECTEUR INDRA.

INDRA est un dispositif expérimental pour la détection, sur 4π stéradians, des noyaux produits dans les collisions induites par les faisceaux d'ions lourds fournis par l'accélérateur GANIL. C'est une collaboration du D.A.P.N.I.A.⁴ de Saclay, de l'I.P.N.⁵ d'Orsay, du GANIL et du L.P.C.⁶ de Caen avec une contribution technique du L.A.L.⁷ d'Orsay. Engagée en 1989, la construction d'INDRA s'est achevée fin 1992 et les premières campagnes d'expériences ont été réalisées (Mars et Avril 1993).

Nous ne développerons pas la physique des phénomènes qu'INDRA se propose de mettre en évidence. Nous pouvons néanmoins préciser que celle-ci nécessite l'utilisation d'un grand nombre de détecteurs ayant une couverture spatiale de 4π stéradians. En effet, aux énergies d'excitation mises en œuvre, les collisions noyau-noyau donnent un nombre important de particules légères (protons, deutons, tritons, alphas...) et de fragments lourds (de numéro atomique Z supérieur à 2) dans des directions très variées de l'espace.

La multiplicité maximale attendue pour INDRA, c'est-à-dire le nombre maximum de détecteurs touchés lors d'un événement, est de 40 pour les particules légères et de 10 pour les fragments lourds. Afin d'identifier des particules de numéros atomiques très différents, allant du protons jusqu'à des particules de Z au moins égal à 30, INDRA doit

³ - VMEbus eXtensions for Instrumentation.

⁴ - D.A.P.N.I.A., CEN Saclay, 91191 Gif-sur Yvette.

⁵ - Institut de Physique Nucléaire, BP 1, 91406 Orsay Cedex.

⁶ - Laboratoire de Physique Corpusculaire-I.S.M.R.A., 6 Bd du Maréchal Juin 14050 Caen Cedex.

⁷ - Laboratoire de l'Accélérateur Linéaire d'Orsay, Bat. 200, 91405 Orsay.

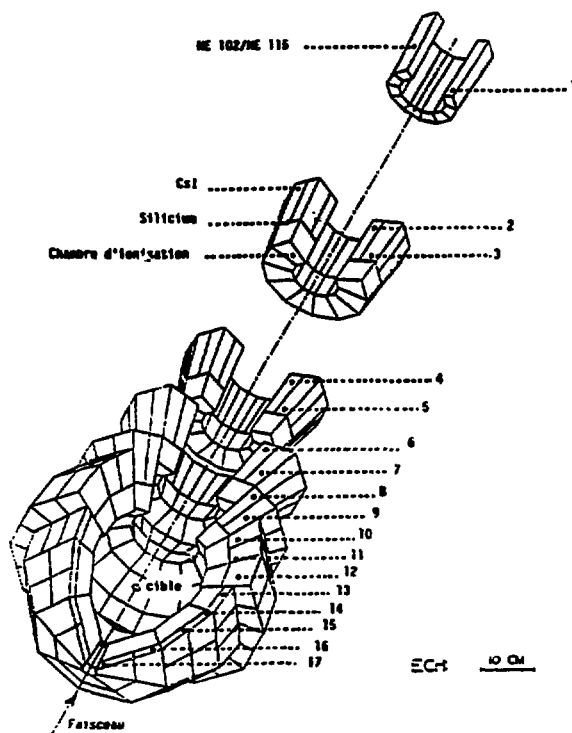
disposer de plusieurs types de détecteurs avec des mesures en énergie sur une grande dynamique.

La mesure des particules légères est réalisée essentiellement par un ensemble de cristaux de CsI (Iodure de Césium) couplés à des photomultiplicateurs. Cette mesure se fait en utilisant les propriétés des composantes "rapide" et "lente" de ces scintillateurs [ALA 86] et [AMP 89]. Celle des fragments plus lourds repose sur la méthode $\Delta E-E$ (perte d'énergie-énergie) dans un couple de détecteurs : chambre à ionisation et CsI (pour les angles supérieurs à 45°), chambre à ionisation et Silicium ainsi que Silicium et CsI (pour les angles compris entre 3 et 45°). Enfin, pour les petits angles (de 2 à 3 degrés), le taux de comptage important a conduit à utiliser des "Phoswichs" composés de deux scintillateurs (un scintillateur mince NE102 et un scintillateur épais NE115) permettant de réaliser, comme pour le CsI, des mesures en composantes rapide (NE102) et lente (NE115).

INDRA est composé de 17 couronnes [IND1 89] et [COP 90] constituées des détecteurs suivants (figure 1) :

- couronne 1 : 12 scintillateurs "Phoswichs".
- couronnes 2 à 9 : 48 chambres à ionisation, 180 Silicium et 180 CsI.
- couronnes 10 à 17 : 48 chambres à ionisation et 144 CsI.

Figure 01 - Vue éclatée du multidétecteur modulaire INDRA.



Nous avons vu que les méthodes d'identification en charge employées sur INDRA sont de deux types : la méthode ΔE -E et la méthode en composantes rapide-lente encore appelée identification intrinsèque. Deux types d'électronique différents ont été mis en œuvre : un pour le traitement des signaux Silicium-Chambre à ionisation et l'autre pour le traitement des signaux issus des scintillateurs (CsI et "Phoswich"). Le codeur dont nous décrivons le développement sera chargé de l'analyse de la première catégorie de signaux et devra contribuer à l'obtention d'une grande dynamique. En effet, pour les détecteurs Silicium, la mesure en énergie doit se faire sur un domaine allant du MeV jusqu'à 4 GeV avec une résolution de l'ordre de 100 keV.

Avant d'aborder l'ensemble de la chaîne électronique d'acquisition devant satisfaire à ces caractéristiques, nous allons préciser la méthode ΔE -E et son application à INDRA.

I.2 - DETECTEURS CHAMBRE A IONISATION ET SILICIUM.

I.2.1 - LA METHODE ΔE -E.

Considérons un noyau émis lors d'une collision faisceau-cible et deux détecteurs accolés ; il doit pouvoir traverser le premier détecteur et n'y déposer qu'une partie de son énergie et être arrêté dans le second. Au passage du premier détecteur, le noyau y dépose une énergie notée ΔE et à l'arrêt dans le second, une énergie E y est déposée. Ces deux informations (ΔE et E) sont liées par la relation (1) [KNO 79] et [LEO 87] :

$$\frac{\Delta E}{\Delta X} = \frac{C_1 Z^2 m}{E} \text{Log} \frac{C_2 E}{m} \quad (1)$$

où C_1 et C_2 sont des constantes.

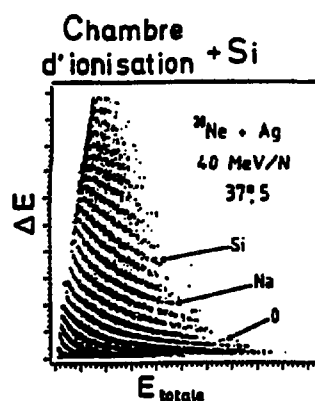
- m est la masse de la particule.

- Z est le numéro atomique de la particule.

- ΔX représente l'épaisseur du détecteur totalement traversé : la Chambre à ionisation.

La représentation sous forme de matrice (ΔE en ordonnées et E en abscisses) des couples ΔE -E, permet de séparer (figure 2), en Z , les premiers éléments du tableau périodique, le produit $\Delta E \cdot E$ étant proportionnel à Z^2 comme le montre l'expression (1).

**Figure 02 - Exemple d'identification ΔE (Chambre à ionisation)-
E(Silicium).**



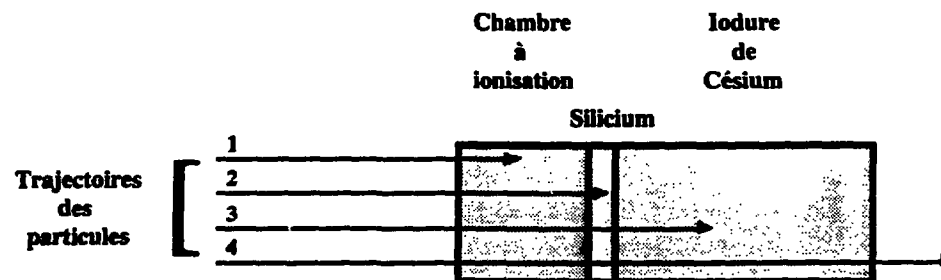
I.2.2 - LE TELESCOPE Ch.Io-Si-CsI.

La grande dynamique obtenue par le multidétecteur INDRA repose également sur l'utilisation d'un ensemble de trois détecteurs appelé télescope (figure 3). Ces trois détecteurs sont les suivants :

- une chambre à ionisation constituée de deux feuilles de mylar séparées par 5 cm de gaz (CF_4 ou C_3F_8) à une pression de 30 Torr.
- un détecteurs solide Silicium de 300 μm d'épaisseur.
- un scintillateur CsI de 10 cm d'épaisseur.

Une particule incidente (figure 3) peut traverser complètement le télescope (trajectoire 4) ou bien être stoppée dans le premier détecteur (trajectoire 1). Ces deux éventualités ne fournissent pas les couples d'informations nécessaires pour l'identification par la méthode ΔE -E.

Figure 03 - Télescope INDRA.



Par contre, les trajectoires 2 et 3 procurent chacune les deux informations nécessaires à l'emploi de cette méthode d'identification :

- pour la trajectoire 2, la chambre à ionisation va mesurer la perte d'énergie ΔE_2 alors que le Silicium, dans lequel s'arrête la particule, mesure l'énergie E_2 .
- pour la trajectoire 3, le Silicium mesure la perte d'énergie ΔE_3 alors que le CsI, dans lequel s'arrête la particule, mesure l'énergie E_3 .

Une particule légère qui parvient sur le télescope ne déposera pratiquement pas d'énergie dans la chambre à ionisation, laissera une faible énergie dans le Silicium et s'arrêtera dans le CsI. Le couple (ΔE_3 - E_3) permettra alors son identification. Par contre un fragment lourd déposera suffisamment d'énergie dans la chambre à ionisation et pourra finir sa course dans le détecteur Silicium. C'est alors le couple (ΔE_2 - E_2) qui donnera l'information permettant d'identifier ce fragment.

La description précédente permet de se rendre compte de la grande dynamique obtenue avec un tel appareillage et notamment avec le détecteur Silicium qui mesure soit une énergie E_2 "grande", soit une perte d'énergie ΔE_3 "petite". Les dynamiques en énergie des différents détecteurs constituant le télescope sont les suivantes [COP 90] :

- Chambre à ionisation : de 200 keV à 0,2 GeV, soit un facteur 1000.
- Silicium: de 1 MeV à 4 GeV, soit un facteur 4000.
- CsI : la dynamique est limitée à 400.

Les signaux issus des scintillateurs CsI sont utilisés pour l'identification en Z des fragments par la méthode ΔE -E. Ces signaux sont séparés en deux parties caractéristiques : une composante rapide et une composante lente. Cette séparation est utilisée par la méthode du même nom (analyse en composantes rapide-lente) pour discriminer en masse les particules légères (p, d, t, ^3He , ^4He). La composante rapide des CsI intervient donc pour les deux méthodes : elle fournit l'information E_3 pour la méthode ΔE -E mais aussi la composante rapide pour l'analyse en composantes rapide-lente. L'ensemble Phoswich, qui est un assemblage de deux scintillateurs, fournit aussi des impulsions permettant l'emploi de cette dernière méthode.

Les considérations précédemment citées (deux méthodes d'analyse) ont conduit à développer essentiellement deux chaînes électroniques différentes. Un premier type d'électronique est chargé de traiter les signaux issus des scintillateurs (CsI et "Phoswich") et un second les signaux provenant des Chambres à ionisation et des Silicium. C'est de ce dernier type dont il sera question dans la suite de cette thèse. Sur le multidétecteur INDRA, plus de 600 détecteurs sont installés dont 180 Silicium et 96 Chambres à ionisation.

A la grande dynamique obtenue notamment par les détecteurs Silicium (1 MeV à 4 GeV) s'ajoute la nécessité d'obtenir, pour les faibles énergies, une **résolution inférieure à 100 keV**. Ces deux caractéristiques auront, comme nous le verrons, des incidences sur la chaîne électronique de traitement des signaux analogiques issus de ces détecteurs.

I.3 - PREAMPLIFICATEURS ET AMPLIFICATEURS.

Ces deux éléments électroniques conditionnent (mise en forme, filtrage...) les impulsions analogiques issues des différents détecteurs afin d'en permettre le traitement par les codeurs.

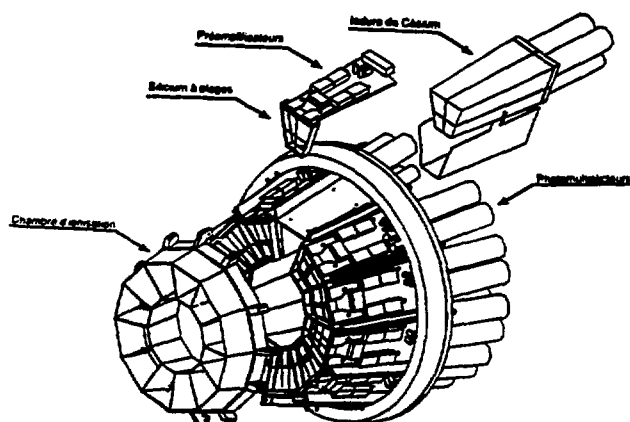
A la fin de ce chapitre nous donnons une description complète de la chaîne d'acquisition que nous allons décrire dans les paragraphes suivants.

I.3.1 - PREAMPLIFICATEURS.

Le rôle du préamplificateur de charge est d'amplifier l'information issue des détecteurs, de la mettre en forme et de rendre la mesure indépendante des caractéristiques des détecteurs. Il conditionne donc le signal afin que celui-ci soit transporté au système électronique de traitement dans les meilleures conditions possibles.

Afin de minimiser les longueurs de câble reliant les détecteurs aux préamplificateurs, ces derniers sont accolés aux détecteurs et se trouvent par conséquent dans la chambre à réaction. Sur la figure 4, nous avons représenté une couronne d'INDRA sur laquelle nous distinguons quatre préamplificateurs montés sur le même support et recevant les informations de quatre plages du même détecteur Silicium. Nous observons aussi une couronne de 12 Chambres à ionisation ainsi que le troisième ensemble de détecteurs constitué de groupes de quatre CsI.

Figure 04 - Localisation des préamplificateurs.

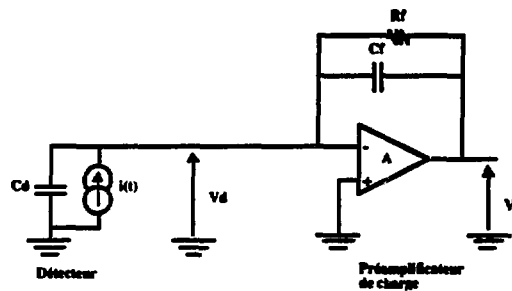


Si nous prenons le cas d'un détecteur Silicium, celui-ci peut être représenté comme une capacité C_d aux bornes de laquelle apparaît, en première approximation, une impulsion de courant de la forme : $i(t) = Q \cdot \delta(t)$ où $\delta(t)$ est une impulsion de Dirac.

Nous cherchons à mesurer la charge Q ; pour cela, nous disposons de la tension $V_d = Q \cdot u(t) / C_d$ (V_d est la tension aux bornes du détecteur et $u(t)$ représente la fonction d'Heaviside). Pour un détecteur Silicium, sa capacité C_d est fonction de différents paramètres tels que la tension de polarisation du détecteur, la température,... Afin de s'affranchir de ces variations [CHA 90], un **PréAmplificateur de Charge (PAC** : figure 5) est utilisé. Celui-ci présente l'intérêt de délivrer une tension V_s indépendante de la capacité C_d (3) du détecteur. En première approximation, et si le gain en boucle ouverte A de l'amplificateur constituant le préamplificateur de charge respecte la relation suivante :

$$A \gg (C_d + C_f) / C_f \quad (2)$$

Figure 05 - Schéma équivalent du PAC.



La tension en sortie du PAC peut alors s'écrire :

$$V_s(t) = -\frac{Q}{C_f} \cdot \exp\left(-\frac{t}{\tau}\right) \quad (3)$$

avec $\tau = R_f \cdot C_f$ (figure 5)

et pour un détecteur Silicium : $Q = \frac{E \cdot q}{e}$

E : énergie en électron-Volt.

q : charge de l'électron.

e : énergie nécessaire pour créer une paire électron-trou.

τ : constante de temps du PAC.

Le PAC assure un transfert de charges issues du détecteur vers l'amplificateur. Un PAC de bonne qualité doit disposer d'une grande dynamique, d'un taux de contre-réaction élevé, d'une faible impédance de sortie, de faibles bruits...

La charge Q apparue sur C_d est transférée à C_f avec un temps de montée imposé par la bande passante du PAC. Afin d'éviter une saturation de l'étage de sortie de ce dernier (consécutif à une intégration continue de charges présentées à son entrée), la solution généralement utilisée consiste à placer en parallèle sur la capacité C_f une résistance R_f de haute valeur.

La capacité C_f qui détermine la sensibilité du PAC, a été calculée pour la configuration INDRA, afin d'avoir au maximum -10 Volts en sortie du PAC pour une énergie de 5 GeV soit 2 mV / MeV. En effet, pour créer une paire électron-trou dans le détecteur Silicium, il faut 3,6 eV ; pour une énergie de 5 GeV, la relation (3) conduit à une valeur de capacité C_f égale à 22 pF.

La résistance $R_f = 10\text{ M}\Omega$ est fixée par le taux de comptage moyen attendu pour INDRA qui est de l'ordre de 1000 coups par seconde. La constante de temps $\tau = R_f \cdot C_f$ vaut alors 220 μs . Le PAC a une structure bipolaire mais non symétrique en ce qui concerne les temps de montée. En fait, la structure de ce préamplificateur a été étudiée pour obtenir une vitesse maximale en phase négative. Dans ces conditions, avec une capacité $C_d = 200\text{ pF}$ et une tension de sortie de -10 Volts sous $50\ \Omega$, le temps de montée est voisin de 25 ns.

Caractéristiques du préamplificateur pour détecteurs Silicium.

Sensibilité : 2 mV / MeV.

Gain en boucle ouverte : $A_0 = 100000$.

Cte de restitution : $\theta_f = 220\ \mu\text{s}$, $R_f = 10\text{ M}\Omega$ et $C_f = 22\text{ pF}$.

Temps de montée : $t_m = 25\text{ ns}$ pour $C_d = 200\text{ pF}$.

Résolution (FWHM) : 14 keV pour $C_d = 200\text{ pF}$ et pour un filtre de constante de temps $\theta = 1\ \mu\text{s}$.

Stabilité thermique : $\pm 3 \cdot 10^{-5} / ^\circ\text{C}$.

Dynamique de sortie : - 10 V à + 8 V.

Impédance de sortie : $50\ \Omega$.

Linéarité différentielle : $< \pm 10^{-4}$.

Les préamplificateurs amplifiant des signaux de bas niveau, il est donc indispensable de les installer le plus près possible du détecteur. En effet, le bruit du PAC augmente avec la capacité du détecteur et à celle-ci s'ajoute la capacité du câble de liaison qui est fonction de sa longueur.

I.3.2 - AMPLIFICATEURS.

La fonction d'un amplificateur est de réaliser une amplification et un filtrage pour d'une part améliorer le rapport signal sur bruit en réduisant la bande passante de l'amplificateur et d'autre part permettre le traitement individuel des impulsions.

Sur les entrées des amplificateurs, nous disposons d'impulsions d'amplitude maximale de 5 Volts. En effet, l'amplificateur étant adapté 50Ω en entrée, nous obtenons une atténuation par deux du signal entre la sortie du PAC et l'entrée de l'amplificateur. Le temps de montée de cette impulsion va de quelques dizaines de nanosecondes (ce temps minimum est principalement lié au temps de collection des charges dans le détecteur) à quelques centaines de nanosecondes ; l'impulsion a une constante de décroissance $\tau = 220 \mu s$ fixée par le préamplificateur.

Dans une chaîne d'acquisition traditionnelle, les préamplificateurs ainsi que les amplificateurs disposent de grands gains afin de permettre l'exploitation des signaux de faible niveau émis par les détecteurs.

Par contre, pour INDRA, la grande dynamique (4000) nécessite l'emploi d'éléments à faible gain. A cette grande dynamique est associée une résolution de l'ordre de 100 keV FWHM (pour permettre une identification précise des particules pour les faibles énergies). Hors, les amplificateurs habituellement utilisés possèdent, pour les gains qui nous intéressent, des bruits électroniques beaucoup trop importants [COP 90] :

Résolution d'un amplificateur classique (7129 ENERTEC) :

(fréquence de coupure : 1 μs).

- pour un gain d'une chaîne classique (ex : 300) : ~ 30 keV.
- pour INDRA (ex : gain unitaire) : > 600 keV.

Nous voyons donc la nécessité, pour atteindre les résolutions attendues, de développer un amplificateur de résolution inférieure à 100 keV pour un gain unitaire [POU 93].

Cet amplificateur devra respecter d'autres contraintes liées aux spécificités d'INDRA :

- le grand nombre de voies (plusieurs centaines) impose de disposer d'amplificateurs d'encombrement réduit et dotés de réglages limités.
- l'apport d'une interface analogique nécessaire au couplage à un codeur de charge extérieur.

D'un point de vue réseau de mise en forme, deux types de filtre peuvent être utilisés :

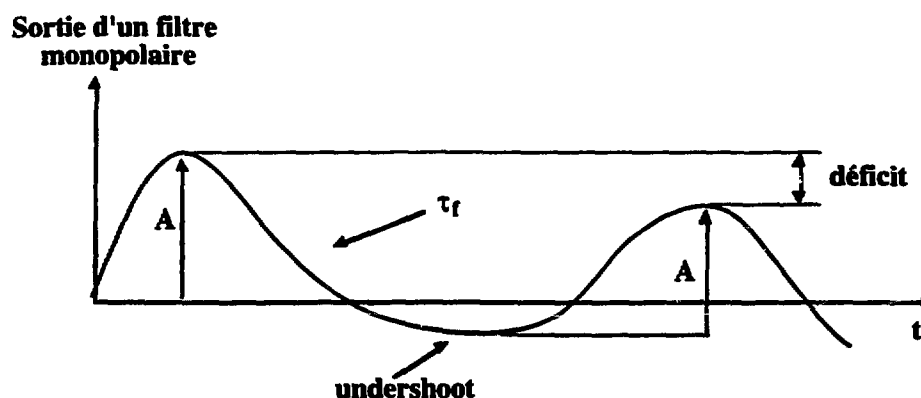
- le filtre monopolaire (la réponse indicielle est soit totalement positive soit négative).
- filtre bipolaire (la réponse indicielle comporte deux lobes : un lobe positif et un lobe négatif).

L'utilisation d'un filtre monopolaire aurait offert un meilleur rapport signal sur bruit qu'un filtre bipolaire : [KNO 79] et [CAH 90] donnent pour différents types de filtre le rapport $F = \text{signal} / \text{bruit}$ relativement au filtre optimal de rapport "un" :

- un filtre monopolaire type CR - RC : $F = 1,359$.
- un filtre bipolaire type $(CR)^2$ - RC : $F = 1,41$.

Les problèmes liés à l'emploi de filtres monopolaires de constante de temps τ ($\tau = R_d \cdot C_d = R_i \cdot C_i$ permet d'optimiser le rapport F) est d'avoir un léger dépassement ou "undershoot" vers des tensions négatives provenant de la constante de temps τ_f de l'impulsion issue du PAC ($\tau_f \gg \tau$). Sur la figure 6, nous avons représenté la sortie d'un filtre monopolaire ayant reçu successivement deux impulsions de même amplitude A . Le dépassement de la première impulsion reçue engendre un déficit sur l'amplitude de la seconde.

Figure 06 - Réponse d'un filtre monopolaire non corrigé.

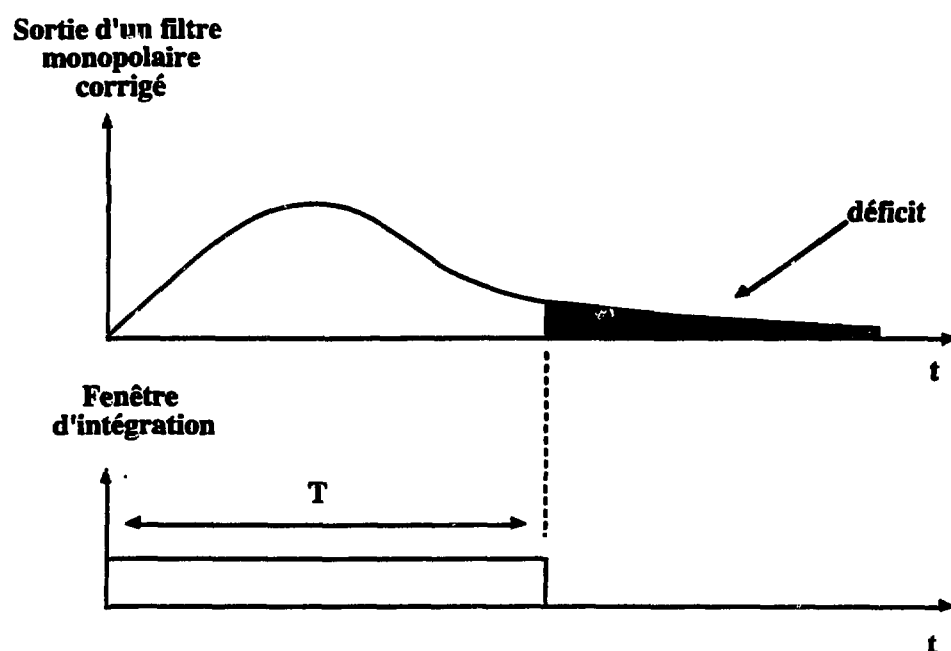


Pour corriger ce déficit, un circuit classique "pôle-zéro" [KNO 79] peut être utilisé. Un ajustement potentiométrique permet d'annuler le pôle provenant de la constante de temps du PAC ($R_f \cdot C_f$) et ainsi d'éliminer l'"undershoot". On voit apparaître la nécessité de réglages qui, dans le cas d'un grand nombre de voies, rendraient presque impossible la mise au point d'un multidétecteur tel qu'INDRA. De plus, si l'on considère un filtre monopolaire constitué d'un circuit de correction "pôle-zéro" et de deux cellules R-C, chacune isolée par un étage amplificateur, cet ensemble conduirait à l'emploi d'un trop grand nombre de composants et donc de châssis pour l'alimentation et de pilotage à distance de ces amplificateurs.

• Codeur de charge et filtre monopolaire corrigé.

Intégrer l'impulsion pendant une durée T peut introduire, avec l'utilisation d'un filtre monopolaire muni d'une correction "pôle-zéro", un déficit sur la mesure. En effet, l'impulsion monopolaire a une durée "infinie" alors que le temps d'intégration est de durée T finie.

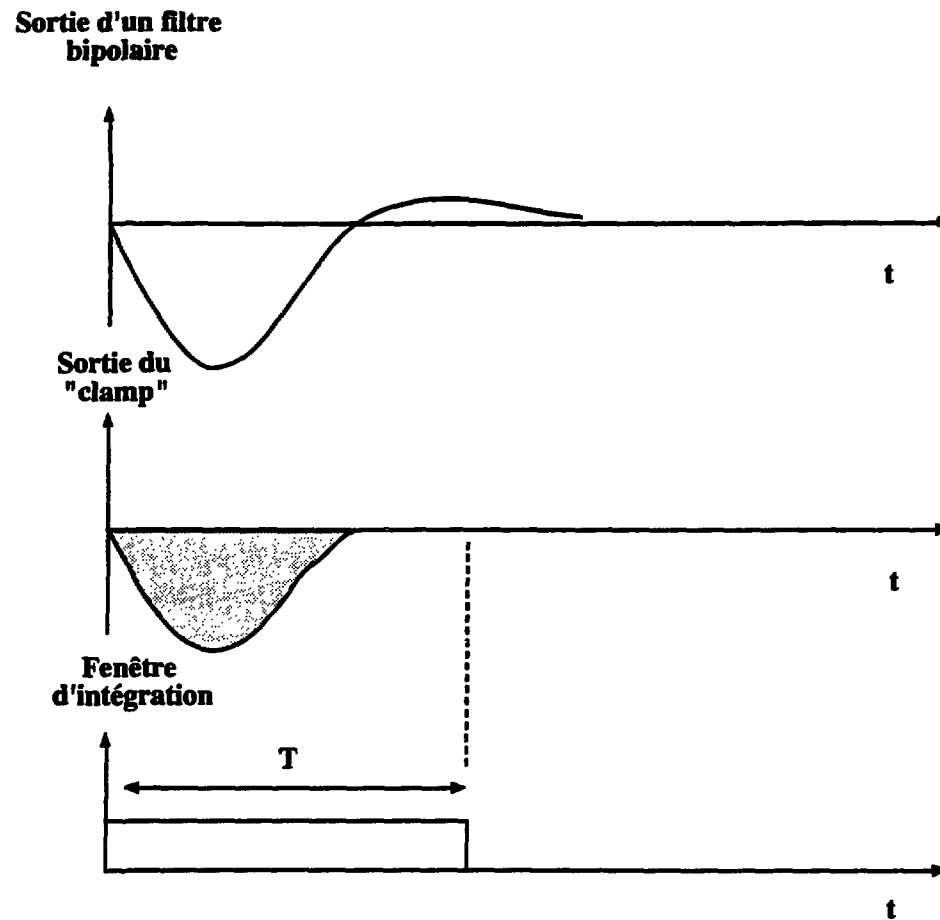
Figure 07 - Filtre monopolaire corrigé et déficit en charge.



• **Codeur de charge et filtre bipolaire.**

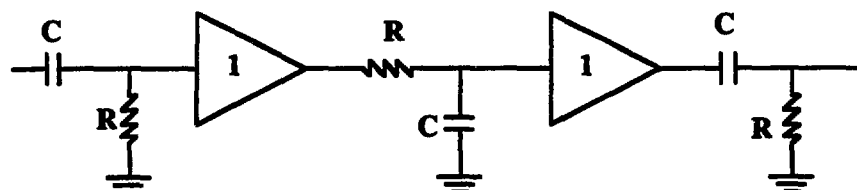
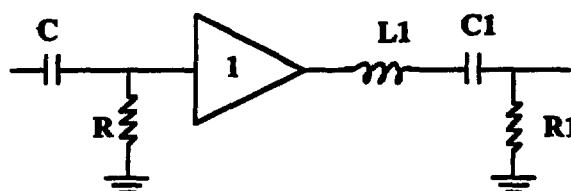
Pour éviter le déficit en charge constaté pour le filtre monopolaire, le passage par zéro d'une impulsion bipolaire est mis à profit pour permettre de créer une impulsion finie dans le temps. A l'aide d'un montage appelé "clamp", il est possible de supprimer l'un des lobes de l'impulsion bipolaire. Ainsi, hors de la fenêtre d'intégration T , l'impulsion a-t-elle un niveau pratiquement nul.

Figure 08 - Filtre bipolaire associé à un "clamp".



Une des originalité de cet amplificateur porte précisément sur le choix du filtre retenu qui se compose d'une cellule de différentiation CR suivie d'un filtre passe-bande du type RLC (figure 9b).

Figure 09 - Deux filtres bipolaires.

a) Filtre $(CR)^2 - RC$ b) Filtre $(CR) - LCR$ 

Des comparaisons ont été effectuées entre ces deux filtres bipolaires, mettant en évidence que d'un point de vue rapport signal sur bruit pour un codage en charge, ces filtres sont équivalents. Cependant, la quantité plus importante d'amplificateurs d'isolation intervenant dans le filtre $(CR)^2 - CR$ (contribuant ainsi aux bruits électroniques de l'ensemble de la chaîne), est très pénalisante en place occupée sur le circuit imprimé.

Le schéma de principe de l'amplificateur est représenté figure 10.

Le premier étage est constitué d'un amplificateur inverseur A1 de gain réglable directement par l'utilisateur via une procédure CAMAC. Le choix du gain est réalisé par l'association de résistances. Il est obtenu par commutation de relais présentant une très bonne tenue mécanique et électrique. On retrouve autour de A1, le filtre CR-LCR de constante de temps fixée à $1,5 \mu s$. Le deuxième étage regroupe la fonction "clamp" décrite précédemment.

Le signal analogique ainsi obtenu présente une durée à la base de $3 \mu s$ pour une amplitude maximale voisine de 2 Volts. l'ouverture de la porte du codeur est fixée à $5 \mu s$ de façon que le signal soit encadré dans sa totalité.

Caractéristiques de l'amplificateur pour détecteurs Silicium (voie énergie).

Gain réel en tension variable de 0,4 à 4,5 par pas de $\sqrt{2}$.

$I_{\text{sortie max}} = 40 \text{ mA}$ soit 2 Volts sous 50Ω .

Mise en forme bipolaire : (CR-LCR) $\theta = 1,5 \mu\text{s}$.

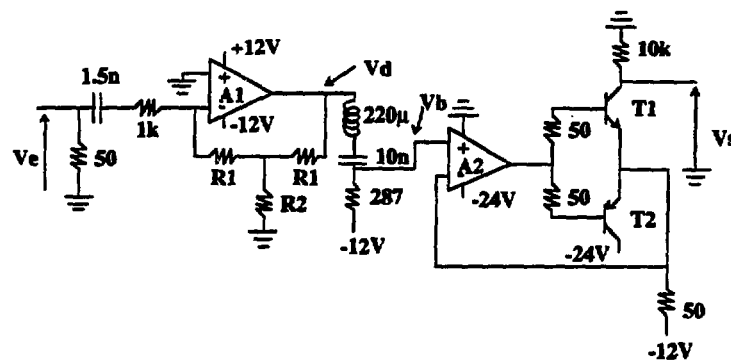
Linéarité intégrale : 10^{-3} dans toute la dynamique.

Stabilité thermique : $< 5 \cdot 10^{-5} / ^\circ\text{C}$.

Il est clair que le schéma de la figure 10 ne représente que le schéma de principe de la voie énergie de l'amplificateur étudié pour INDRA. Le circuit complet qui a été réalisé au laboratoire d'électronique analogique au CEA à Saclay sera présenté dans sa totalité dans un article devant paraître [CAH 93].

Ce montage aura néanmoins servi à effectuer des simulations permettant de mettre en évidence le problème lié au déficit balistique pour le codage en amplitude ainsi que l'amélioration apportée par l'utilisation d'un codage en charge. Les modèles utilisés pour la simulation sont les suivants : l'amplificateur A1 est un AD847J (slew rate $\approx 200 \text{ V} / \mu\text{s}$), l'amplificateur A2 est un OP16A, le transistor T1 est un BFR92 et T2 un 2N2904.

Figure 10 - Schéma de principe d'un amplificateur INDRA pour la voie énergie.



Placée en parallèle sur la voie énergie, nous trouvons une deuxième structure amplificatrice qui délivre une impulsion rapide envoyée sur un discriminateur à fraction constante. Ce dernier génère alors une impulsion dont l'instant d'apparition est indépendant de l'amplitude contrairement à un discriminateur à seuil. Cette information est appelée "impulsion logique" qui, via un ensemble de modules appelé "trigger", sera envoyée aux codeurs ; nous la noterons DECi. Chaque information analogique est donc couplée à un signal logique qui est utilisé par divers modules et en particulier par le codeur de charge. Elle déclenche notamment la fenêtre "d'intégration".

Caractéristiques de l'amplificateur pour détecteurs Silicium (voie rapide ou impulsion logique).

Gain réel : 8.

Mise en forme monopolaire : (CR-RC).

Limiteur réglé à ± 5 Volts.

Bruit : < 200 keV ramené à un PAC dont la sensibilité est de 2 mV / MeV.

Stabilisateur de ligne de base.

I.4 - ANALYSE DU CHOIX DE CODAGE, CHARGE OU AMPLITUDE?

Les codeurs constituent le dernier maillon de la partie électronique de la chaîne d'acquisition. Leur rôle est de convertir l'information analogique, dont nous avons décrit précédemment le cheminement, en une grandeur numérique exploitable par le système informatique.

Pour mesurer l'énergie, après mise en forme dans un amplificateur, deux types de codeur peuvent être envisagés : un codeur de charge ou un codeur d'amplitude. Ces derniers mesurent le maximum de l'impulsion tandis que les premiers en mesurent la surface.

Dans la plupart des expériences, le codage en amplitude est encore le plus couramment employé. Dans ce paragraphe, nous décrirons le principe des deux types de codeur (charge et amplitude) et nous montrerons que pour INDRA, en particulier pour le

codage des informations issues des détecteurs Silicium, les contraintes (la grande dynamique...) étaient telles que le codage en amplitude n'était pas utilisable. Et nous tenterons de montrer, dans le cas général, pourquoi le codage en charge est préférable.

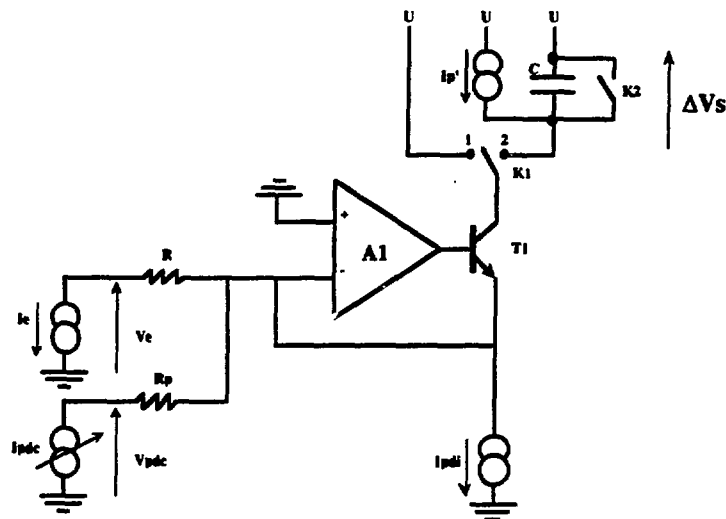
1.4.1 - PRINCIPE DU CODAGE EN CHARGE.

La fonction d'un codeur de charge est de mesurer la surface de l'impulsion analogique pendant un certain temps. Cette fonction est réalisée par un montage appelé intégrateur.

Le rôle de l'intégrateur (figure 11) est de fournir à sa sortie un signal ΔV_s qui soit proportionnel à la surface de l'impulsion de courant I_e qui est appliquée à son entrée. L'amplificateur opérationnel A1 est monté en intégrateur à l'aide de la résistance R et du condensateur C qui fixent le gain de la voie :

$$\Delta V_s = \frac{1}{R \cdot C} \int V_e dt \quad (4)$$

Figure 11 - Schéma de principe de l'intégrateur.



L'aiguilleur K1 a pour rôle de commander l'intégration de la capacité C, il en fixe donc les bornes. L'interrupteur K2 permet de réinitialiser la capacité C après que la

grandeur ΔV_s ait été traitée. Un courant I_p , fixé à environ 200 μA , assure la polarisation du montage. Le courant de piédestal individuel I_{pdi} , corrige le décalage apporté par le courant de polarisation. Il permet de plus une compensation de différents courants et notamment le courant de base du transistor T1. Ainsi, par ce réglage, peut-on faire en sorte que le courant I_c qui traverse la capacité de charge soit exactement l'impulsion de courant I_e dont on cherche à calculer la surface. Le courant de piédestal commun I_{pdc} a essentiellement pour but de décaler l'origine en créant une chute de tension ΔV_s de quelques dizaines de millivolts évitant ainsi la perte d'informations. Par exemple, les dérives thermiques entraînent des variations de courant annihilant les corrections initiales par I_{pdi} . Sur la figure 2, nous pouvons observer ce léger décalage des courbes vers le haut. L'expression complète de la variation de tension aux bornes de la capacité C est la suivante :

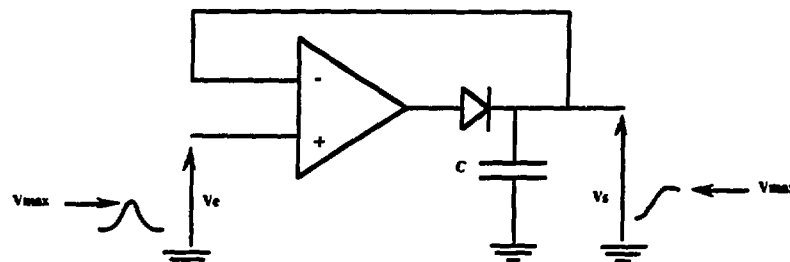
$$\Delta V_s = \left[-\frac{1}{C} \int_0^T I_e dt + \frac{1}{C} \int_0^T (I_{pdi} - I_p) dt + \frac{1}{C} \int_0^T I_{pdc} dt \right] \quad (5)$$

I.4.2 - PRINCIPE DU CODAGE EN AMPLITUDE.

La fonction d'un codeur d'amplitude est de détecter et de mémoriser le niveau de crête d'une impulsion [TRI 87].

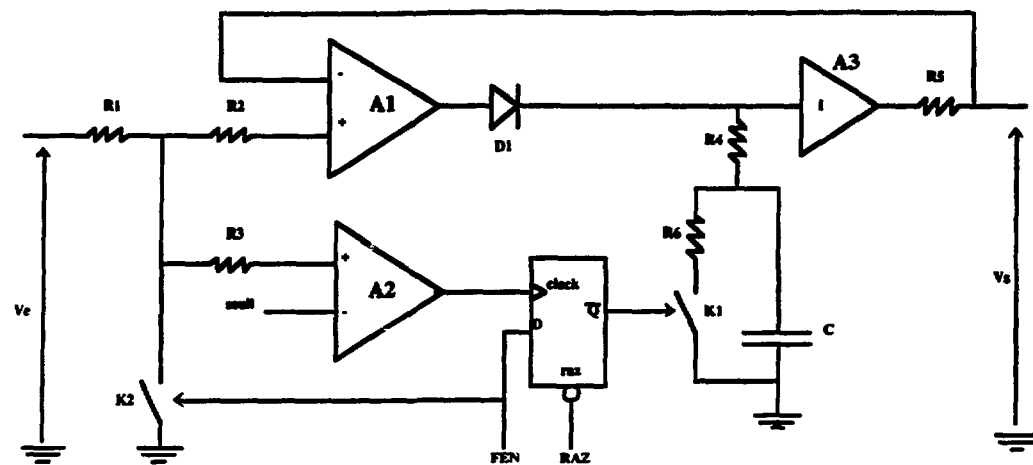
Le principe de fonctionnement est le suivant (figure 12) : tant que la tension d'entrée croît, le système est bouclé. Il fonctionne donc en suiveur, c'est-à-dire que V_s suit la tension d'entrée. Quand la tension V_e décroît, la sortie, grâce à la diode, n'est plus asservie. La capacité reste chargée sous la tension V_{max} . La tension V_s est ensuite numérisée puis la capacité déchargée, dans l'attente d'une nouvelle impulsion.

Figure 12 - Schéma de principe du détecteur de crête.



Le problème de ce système est d'avoir un temps d'établissement trop long de la boucle de contre-réaction. Les codeurs d'amplitude existant nécessitent plusieurs centaines de nanosecondes pour s'établir. Les impulsions que nous avons à traiter ont parfois des temps de montée de cet ordre de grandeur ; par conséquent, dans certains cas, le codeur ne pourrait pas les détecter.

Figure 13 - Exemple de polarisation d'un détecteur de crête.



Remarque :

Afin de minimiser ce temps d'établissement, il est nécessaire de polariser cette boucle de contre-réaction (figure 13). Pour ce faire, l'interrupteur K_1 est fermé et ne sera ouvert qu'avec l'arrivée de l'impulsion à coder. Le signal logique d'ouverture de K_1 est créé à partir de l'impulsion elle-même. Le rôle du signal FEN est tout simplement de permettre la sélection d'une impulsion. Ce signal est délivré par l'ensemble d'analyse de l'événement (le "trigger"). Le comparateur A_2 permet de libérer la capacité C (ouverture de K_1) en synchronisation avec l'impulsion, permettant ainsi de minimiser les temps d'établissement. Le signal RAZ , quant à lui, remet à zéro la tension aux bornes de la capacité.

I.4.3 - LE CHOIX POUR INDRA, CHARGE OU AMPLITUDE?

L'une des caractéristiques importante d'INDRA est la possibilité de disposer d'une grande dynamique supérieure à 4000 [GAN 88] et [IND2 89]. Cette grande dynamique ne pourra être obtenue que si l'électronique, qui conditionne les informations issues des détecteurs, est capable de la réaliser. Les préamplificateurs, et surtout les amplificateurs ont été spécialement développés dans ce but.

L'électronique doit d'autre part permettre d'obtenir une résolution équivalente à 16 bits pour les faibles énergies (cad de l'ordre de 100 keV pour une dynamique de 4000). Cette grande résolution donnera la possibilité d'analyser finement les spectres des particules de Z faible ($Z = 1, 2, \dots$).

Chacune de ces deux caractéristiques ne pose pas, considérées séparément, de grandes difficultés de réalisation et ne sont pas non plus d'une grande originalité. C'est la mise en œuvre conjointe de celles-ci qui constitue un des points forts et une nouveauté du projet INDRA. Celui-ci doit donc permettre l'analyse simultanée de particules de charge faible et jusqu'à des $Z > 30$.

I.4.3.1 - La grande dynamique.

La dynamique pour le codeur de charge est le rapport entre la charge minimum et la charge maximum qu'il peut mesurer. Pour le codeur d'amplitude, elle se définit comme étant le rapport entre amplitude maximum et minimum.

Pour les codeurs d'amplitude qui acceptent en général des tensions maximales de 10 Volts, nous ne pouvons pas réaliser cette grande dynamique. En effet, nous sommes limités par le seuil réglé à plusieurs dizaines de millivolts interdisant des déclenchements intempestifs. Les codeurs d'amplitude actuellement disponibles ne permettent pas d'obtenir des dynamiques supérieures à 200. Cette dynamique pourrait être améliorée en remplaçant le seuil de déclenchement par un déclenchement externe mais l'offset de l'amplificateur d'entrée ainsi que le temps de mise en conduction de la diode D1 (un courant faible ne s'établit pas instantanément dans une diode) associée à la capacité C

interdisent la détection d'impulsions d'amplitude inférieure à une dizaine de millivolts ce qui permettrait d'obtenir une dynamique maximum d'environ 1000.

Les codeurs de charge, quant à eux, grâce au réglage du zéro par le piédestal, permettent de coder des impulsions correspondant à des énergies allant d'un MeV à 4 GeV. L'intégrateur peut être polarisé par un niveau continu (I_p), par contre, la diode D1 du détecteur de crête n'entre en conduction que sur des variations de la tension V_e , il n'est donc pas possible de la polariser avant que l'impulsion soit présente en entrée.

I.4.3.2 - La résolution équivalente à 16 bits pour les faibles énergies.

L'intégrateur est un filtre passe-bas, il constitue donc un étage supplémentaire de filtrage pour les hautes fréquences, il a donc été possible de développer un amplificateur d'ordre faible ($n = 3$). La limitation de l'encombrement de l'amplificateur et de tout les autres modules d'INDRA est un impératif comme nous l'avons déjà mentionné.

Dans une chaîne traditionnelle comportant "peu" de voies, des filtres d'ordre plus élevés sont utilisés, le problème du nombre de châssis étant alors moins crucial. Un codage en amplitude, sensible aux bruits basses et hautes fréquences, est alors utilisable pour obtenir de bonnes résolutions. Par contre, avec les amplificateurs développés pour INDRA, l'utilisation d'un codeur d'amplitude ne doit pas permettre d'obtenir les résolutions attendues.

I.4.3.3 - Le déficit balistique.

Le temps de montée d'une impulsion aux bornes du détecteur, et par conséquent en sortie du préamplificateur, est fonction de différents paramètres. La fonction de transfert de l'amplificateur est telle que pour impulsion d'amplitude constante, mais de temps de montée variable, les impulsions de sortie ont des amplitudes dépendant de ce temps de montée initial. Cette variation d'amplitude est appelée "déficit balistique". Après avoir décrit les différents paramètres agissant sur ce temps de montée, nous allons montrer l'intérêt du codage en charge pour limiter ce déficit.

I.4.3.3.1 - Le temps de montée des impulsions.

Le temps de montée d'une impulsion dans un détecteur Silicium est fonction de différents paramètres :

- du champ électrique régnant dans le détecteur [REH 90]. Plus la tension de polarisation appliquée aux bornes de celui-ci est élevée, plus le champ électrique créé est intense ce qui diminue le temps de collection des charges [KNO 79]. Des simulations pour les détecteurs Silicium d'INDRA [COP 90] ont montré des variations de temps de montée de quelques dizaines de nanosecondes pour des champs électriques allant de 1 à 6 kV . cm.

- le temps de montée dépend aussi des conditions d'interaction de la particule dans le détecteur [COP 90], [KNO 79], [LEO 87] et [MOS 68].

- le temps de plasma s'observe pour des particules incidentes chargées et lourdes telles que les fragments de fission [KNO 79] et [MEY 92]. Pour ces particules, l'ionisation est telle que le champ électrique est localement diminué. Cet effet augmente le temps de montée des impulsions jusqu'à plusieurs centaines de nanosecondes.

D'autres paramètres comme la température, par exemple, viennent modifier ce temps de montée. Pour les détecteurs Silicium d'INDRA, les temps de montée des impulsions peuvent varier de quelques dizaines de nanosecondes jusqu'à plusieurs centaines de nanosecondes. La limite inférieure étant donnée par le PAC :

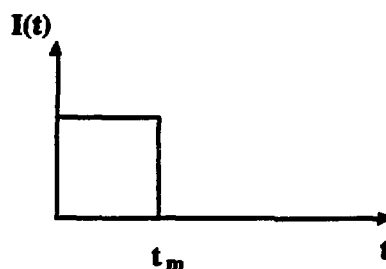
$$t_{\min} = 18 \text{ ns} + \frac{0,4 \text{ ns}}{pF \text{ de } C_f} \quad (6)$$

1.4.3.3.2 - Déficit balistique et codage en amplitude.

Baldinger et Franzen [BAL 56] ont calculé l'expression du déficit balistique ΔV d'un filtre attaqué par une impulsion de temps de montée t_m variable. L'hypothèse de ce calcul est que l'impulsion de courant générée par le détecteur soit de durée t_m finie dans le temps.

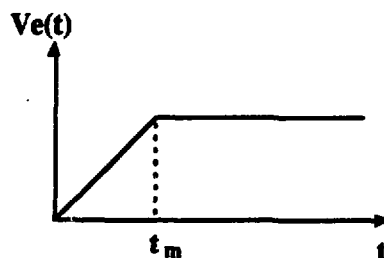
Nous l'avons prise de la forme suivante :

Figure 14 - Courant $I(t)$ généré par le détecteur.



La tension $V_e(t)$ en sortie du préamplificateur est donc de la forme suivante :

Figure 15 - Tension $V_e(t)$ que voit l'amplificateur.



Pour effectuer le calcul, il faut connaître la réponse indicielle $g(t)$ du filtre. En effet, celui-ci évalue le déficit balistique engendré par une impulsion de temps de montée

t_m par rapport à une impulsion de temps de montée nul, c'est-à-dire à un échelon de tension. L'amplificateur bipolaire d'INDRA possède trois pôles :

- un premier provenant du circuit dérivateur R-C. Il sera noté p_1 et correspond à une constante de temps de 1,5 μs .
- deux autres pôles proviennent du circuit R-L-C. Ils seront notés p_2 et p_3 et correspondent à des constantes de temps respectivement de 1,6 μs et de 1,375 μs .

L'expression de la transformée de Laplace de la réponse de l'amplificateur à un échelon de tension est la suivante :

$$G(p) = \frac{A \cdot p}{(p + p_1) \cdot (p + p_2) \cdot (p + p_3)} \quad (7)$$

La réponse indicielle du filtre est alors :

$$g(t) = A \cdot (k_1 \exp(-p_1 t) + k_2 \exp(-p_2 t) + k_3 \exp(-p_3 t)) \quad (8)$$

$$\text{Avec } k_1 = 2,640 \cdot 10^{-4}$$

$$k_2 = -1,466 \cdot 10^{-4}$$

$$k_3 = -1,173 \cdot 10^{-4}$$

Le déficit balistique s'exprime sous la forme suivante [BAL 56] :

$$\Delta V = -\frac{1}{2} \cdot t_m^2 \cdot g''(t_0) \cdot \int_0^{t_m} I(t) \cdot (a_1 - t)^2 dt \quad (9)$$

avec t_0 l'instant où l'impulsion en sortie du filtre atteint son maximum.

- $g''(t)$ la dérivée seconde de la réponse indicielle du filtre.

- a_1 coefficient calculé à partir de l'équation suivante :

$$a_1 = \int_0^{t_m} t \cdot I(t) dt \quad (10)$$

Le déficit balistique se calcule alors de la façon suivante :

$$\Delta V\% = \frac{\Delta V \cdot 100}{F_0} \quad (11)$$

où

- F_0 est le maximum de la réponse du filtre attaqué par un échelon de tension.
- ΔV est l'écart entre F_0 et le maximum de la réponse de ce même filtre à un signal (figure 15) de temps de montée t_m .

L'application numérique de ces équations pour des temps de montée variant de 200 ns à 800 ns donne les résultats suivants :

$t_m = 200$ ns	$\Delta V\% = 0,3 \%$
$t_m = 400$ ns	$\Delta V\% = 1 \%$
$t_m = 800$ ns	$\Delta V\% = 4 \%$

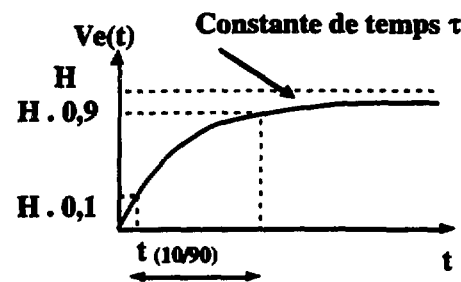
Nous avons poursuivi nos tests en effectuant une simulation de la voie d'amplification d'énergie de type INDRA (figure 10) attaquée par une rampe de tension (figure 15) et en faisant varier le temps de montée t_m . Les composants utilisés pour cette simulation étant des composants réels c'est-à-dire ayant des caractéristiques se rapprochant de la réalité (slew rate, bande passante...), il n'a pas été possible, pour calculer $\Delta V\%$, d'attaquer l'amplificateur par un échelon de tension parfait (temps de montée nul). C'est pourquoi, la référence F_0 a été prise pour le temps de montée minimum de 110 ns.

Tableau 1 : Simulation : sortie de l'amplificateur attaqué par une rampe de tension = $f(t_m)$.

Temps de montée t_m (ns)	Déficit balistique $\Delta V \%$
880	6,9
773	5,3
659	4,3
550	2,6
440	2,3
330	1,0
220	0,4
110	0

La forme du signal issu du préamplificateur n'est évidemment pas rigoureusement linéaire ; une variation exponentielle de ce signal engendre des résultats dégradés pour le déficit balistique. Dans ce cas, le formalisme de Baldinger n'est plus applicable puisque que l'impulsion de courant générée par le détecteur n'est plus de durée t_m finie dans le temps. Le signal d'entrée de l'amplificateur a la forme suivante (la durée t_m de l'impulsion sera ici le temps de montée de 10 à 90 % de l'amplitude maximale $t_{(10/90)}$) :

Figure 16 - Tension de forme exponentielle $V_e(t)$.



Le déficit balistique est considéré ici par rapport au temps de montée $t_{(10/90)} = 110$ ns et pour une impulsion de constante de temps τ .

Tableau 2 : Simulation : sortie de l'amplificateur attaqué par un signal de temps de montée exponentiel = $t_{(10/90)}$.

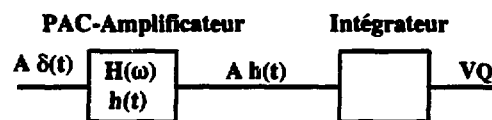
Constante de temps de l'impulsion τ (ns)	Temps de montée de l'impulsion $t_{(10/90)}$ (ns)	Déficit balistique ΔV %
400	880	11,4
350	773	8,9
300	659	7,6
250	550	5,6
200	440	3,2
150	330	2,1
100	220	0,6
0	110	0

Un codeur d'amplitude mesure le maximum des impulsions qui lui sont envoyées. Ce maximum est proportionnel à l'énergie déposée par la particule dans le détecteur. Hors, deux particules de masse différentes mais déposant une même énergie dans le détecteur pourront être vues par le codeur d'amplitude comme étant d'énergies différentes. Les temps de plasma variables ayant entraîné des variations des temps de montée, l'amplificateur fournit alors des impulsions dont l'amplitude maximum est différente : le déficit maximum pouvant aller jusqu'à environ 10 % (11,4 % : tableau 2).

I.4.3.3 - Déficit balistique et codage en charge.

Afin de prévoir les effets d'un codeur de charge sur le déficit balistique, nous allons prendre un ensemble préamplificateur-amplificateur de fonction de transfert $H(\omega)$ qui représente la transformée de Fourier de la réponse impulsionnelle de cet ensemble (celle-ci sera notée $h(t)$). En première approximation, l'impulsion de courant qui apparaît sur le détecteur est une impulsion de Dirac $A \cdot \delta(t)$ (figure 17). Le spectre blanc de ce signal permet de montrer que l'amplitude en sortie de l'intégrateur est indépendante des fréquences contenues dans le signal issu de l'amplificateur et, en particulier, indépendante du temps de montée des impulsions d'entrée.

Figure 17 - L'amplificateur et l'intégrateur.



En considérant que l'impulsion issue de l'amplificateur a une durée finie dans le temps, que cette impulsion est d'amplitude nulle hors de la fenêtre d'intégration T , l'intégration de 0 à T effectuée par l'intégrateur peut être remplacée par l'intégrale de 0 à l'infini. La tension en sortie de l'intégrateur est alors de la forme suivante :

$$V_Q = A \int_0^{\infty} h(t) dt \quad (12)$$

La fonction de transfert $H(\omega)$ de l'ensemble préamplificateur-amplificateur est la suivante :

$$H(\omega) = \int_{-\infty}^{\infty} h(t) \cdot \exp(-j\omega t) dt \quad (13)$$

La réponse impulsionnelle $h(t)$ n'étant définie qu'entre 0 et ∞ , l'équation (13) devient :

$$H(\omega) = \int_0^{\infty} h(t) \cdot \exp(-j\omega t) dt \quad (14)$$

Pour $\omega = 0$ rad / s, la fonction de transfert devient :

$$H(0) = \int_0^{\infty} h(t) dt \quad (15)$$

Donc, la tension en sortie de l'intégrateur s'exprime :

$$V_Q = A \cdot H(0) \quad (16)$$

L'expression (16) montre qu'en sortie d'intégrateur, la tension ne dépend pas des fréquences contenues par le spectre du signal d'entrée de l'ensemble PAC-amplificateur et en particulier du temps de montée des impulsions. Celle-ci ne dépend que de l'amplitude A de ce signal et du gain $H(0)$ en continu de cet ensemble.

Nous avons donc poursuivi la simulation en ajoutant, en sortie de l'amplificateur précédent, un intégrateur commandé par une fenêtre d'intégration de 5 μ s. Cet intégrateur est constitué comme l'amplificateur de composants "vrais" ayant des caractéristiques le plus proche possible de la réalité. Pour les mêmes variations du temps de montée des impulsions, nous avons regardé la sortie V_{qdc} de l'intégrateur. Dans une première série de simulations (tableau 3), le signal d'attaque de l'amplificateur est une rampe (figure 15) et

dans une deuxième série, un signal de forme exponentielle (figure 16) est considéré (tableau 4).

Tableau 3 : Déficit balistique et codage en charge pour un intégrateur attaqué par une rampe de tension = $f(t_m)$.

Temps de montée t_m (ns)	Déficit balistique ΔV %
880	0,60
773	0,48
659	0,47
550	0,46
440	0,25
330	0,25
220	0,20
110	0

Tableau 4 : Déficit balistique et codage en charge pour un intégrateur attaqué par un signal de temps de montée exponentielle = $f(t_{10/90})$.

Temps de montée t_m (ns)	Temps de montée $t_{10/90}$ (ns)	Déficit balistique ΔV %
400	880	1,40
350	773	1,20
300	659	1,00
250	550	0,50
200	440	0,25
150	330	0,22
100	220	0,09
50	110	0

En comparant deux à deux les tableaux 1 et 3 ainsi que les tableaux 2 et 4, nous pouvons constater qu'il existe un facteur voisin de 10 sur le déficit balistique entre codage en amplitude et codage en charge. L'utilisation d'un codeur de charge paraît donc préférable si l'on veut limiter l'effet du déficit dû à la variation du temps de montée des impulsions issues des détecteurs.

Différentes techniques permettent la correction de ce déficit. La méthode de Hinshaw [HIN 90] est basée sur une correction matérielle et nécessite alors des

réglages potentiométriques. Goulding [GOU] a conçu une méthode logicielle qui nécessite l'établissement de caractéristiques de correction et donc des mesures supplémentaires.

I.4.3.4 - Résolution en énergie.

Pour les raisons énoncées précédemment, la résolution globale de la voie énergie doit être voisine de 100 keV. En vue de prédire les performances en bruit de la chaîne, il est nécessaire dans un premier temps de caractériser l'amplificateur proprement dit, puis, dans un deuxième temps, de lui associer le codeur de charge. A ce stade, une difficulté apparaît concernant le codeur car ce dernier est classé dans la catégorie des filtres linéaires variants dans le temps. En effet, il intègre le signal analogique de l'amplificateur pendant une durée T , durée qui est fonction des contraintes d'INDRA mais qui est réglable par le physicien. Ainsi, l'estimation du bruit en sortie du codeur de charge doit-elle être effectuée dans le domaine temporel [GOU 82]. Le calcul complet nécessite l'emploi des indices de bruit (N_s^2 et N_d^2) ainsi que la notion de "Weigthing fonction" [RAD 68].

Nous présentons ici les résultats partiels de cette étude [CHA 93]. Ceux-ci ont été confrontés avec succès à des mesures expérimentales comme le montre les résultats suivants (l'amplificateur avait un gain unitaire, T représente la durée de l'intégration et R est la résolution obtenue par l'ensemble amplificateur-codeur de charge) :

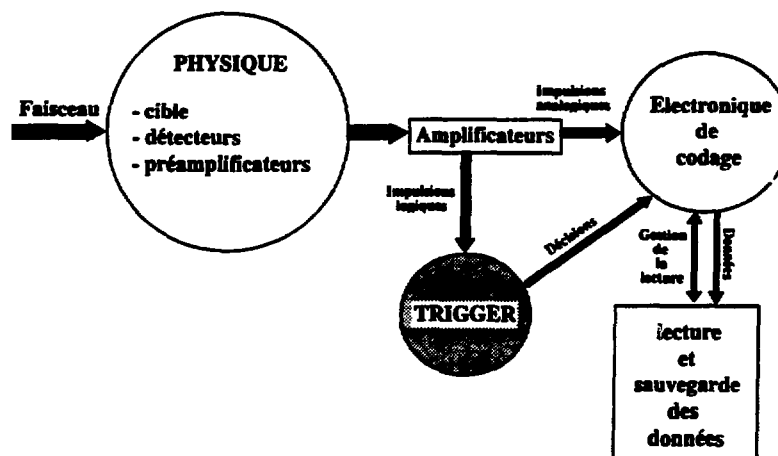
Tableau 5 : Résolution en énergie de l'amplificateur.

Durée de l'intégration (μs)	Résolution théorique (keV FWHM)	Résolution mesurée (keV FWHM)
3	76	80
5	97	96
8	119	121

I.5 - MODE DE DECLENCHEMENT, LE "TRIGGER ASYNCHRONE".

La définition du mode de déclenchement, c'est-à-dire la façon avec laquelle seront prises en compte les informations issues de la physique par l'électronique de codage, est réalisé principalement par un ensemble appelé "trigger" (figure 18). Celui-ci est en général, assez spécifique à une expérimentation mais repose souvent sur le même principe de déclenchement : le déclenchement synchrone. Dans le cadre du projet INDRA, un nouveau mode de déclenchement a été mis en œuvre : le déclenchement asynchrone. Dans ce paragraphe, après avoir décrit succinctement le rôle d'un "trigger" en général et du "trigger" d'INDRA en particulier, nous présenterons les deux modes de déclenchement précédemment cités.

Figure 18 - Synoptique d'un dispositif expérimental.



I.5.1 - LE "TRIGGER".

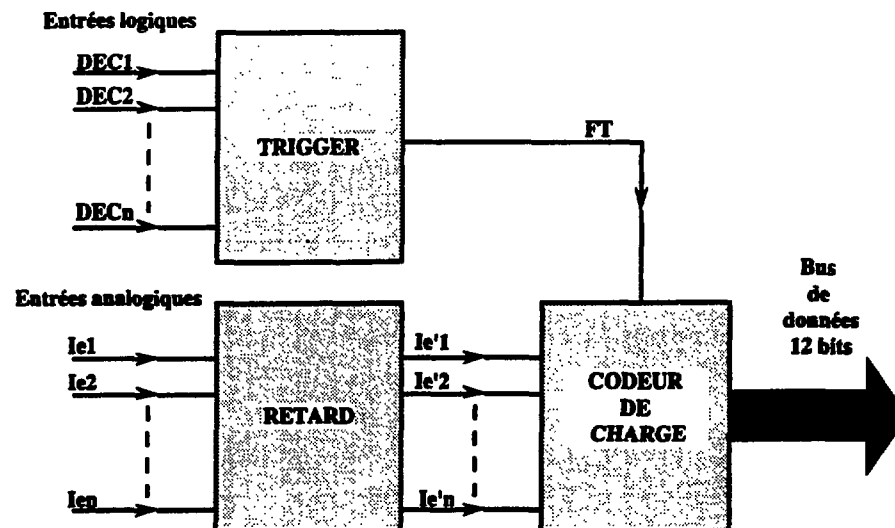
Le "trigger" est un ensemble de modules utilisé principalement pour générer une décision d'acceptation ou de rejet d'événement permettant le fonctionnement des différents codeurs [TIL 91]. Un événement, en physique, est une combinaison prédéfinie par le physicien et portant sur le déclenchement de plusieurs détecteurs. La décision ne prend pas en compte la totalité des déclenchements des détecteurs, les événements ne sont donc pas de longueur prévisible. Afin de ne conserver que les événements intéressants, le "trigger" effectue un premier tri en ligne. Il génère aux différents codeurs et après avoir identifié un événement, des signaux de validation puis de remise à zéro. Cet ensemble constitue un véritable chef d'orchestre de l'acquisition. Pour gérer la liaison entre le "trigger" et l'électronique de codage, deux modes de fonctionnement sont envisageables : le mode synchrone et le mode asynchrone.

I.5.2 - MODE SYNCHRONE.

Dans le mode de fonctionnement dit synchrone, les signaux logiques associés aux signaux analogiques sont envoyés au "trigger". Celui-ci va comparer le vecteur constitué des informations logiques avec les configurations qui ont été programmées et/ou câblées. Cette opération nécessite couramment plusieurs centaines de nanosecondes. Après décision, le "trigger" génère aux différents codeurs une décision rapide d'acceptation (notée *FT* sur la figure 19) permettant à ces derniers de commencer l'intégration des signaux analogiques. Afin qu'il n'y ait pas de perte d'information et que l'impulsion analogique se trouve bien dans la fenêtre d'intégration *T*, il faut retarder ces impulsions. Ainsi, la décision rapide et les impulsions analogiques arriveront-elles simultanément sur les codeurs.

Les retards (figure 19) de quelques centaines de nanosecondes peuvent être réalisés à l'aide de lignes coaxiales $50\ \Omega$. A raison d'un retard de 5 ns par mètre de lignes, et pour une acquisition constituée de plusieurs centaines de détecteurs, des kilomètres coûteux de câble sont ainsi nécessaires et au prix d'une dégradation des signaux.

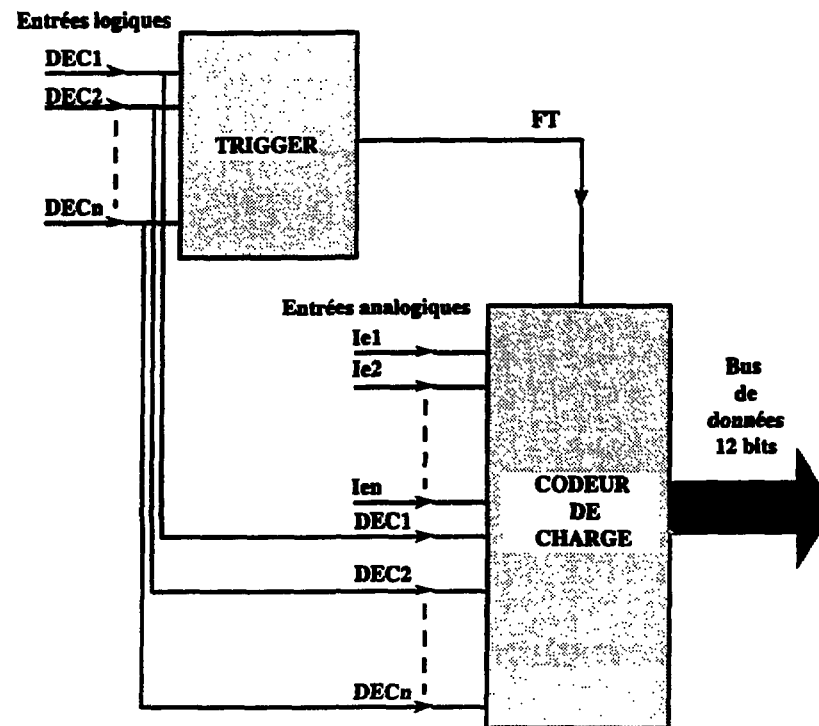
Figure 19 - Synoptique pour le mode synchrone.



I.5.3 - MODE ASYNCHRONE.

Afin d'éviter l'utilisation de tous ces câbles, un autre mode de fonctionnement a été introduit pour INDRA : le fonctionnement asynchrone. Les signaux logiques parviennent toujours au "trigger" qui, comme dans le mode synchrone, joue le même rôle. Pendant que le "trigger" prend sa décision, ces signaux logiques déclenchent les codeurs qui commencent ainsi l'intégration des impulsions analogiques. En cours d'intégration, l'ordre de pré-analyse (noté FT sur la figure 20) parvient aux codeurs. Dans le cas d'une acceptation de l'événement, les codeurs poursuivent l'intégration des signaux et les tensions de sortie des intégrateurs sont ensuite numérisées. Dans le cas contraire, les intégrateurs sont remis à zéro dans l'attente d'un nouvel événement. Le nom "asynchrone" donné à ce mode de fonctionnement vient du fait que la décision rapide (FT) et les signaux logiques ne parviennent pas simultanément aux codeurs. Nous voyons donc que l'utilisation de câbles retardant les impulsions analogiques n'est plus nécessaire. L'intérêt supplémentaire de ce mode est d'éviter qu'une modification du temps de décision du "trigger" n'engendre un réglage matériel (changement des retards).

Figure 20 - Synoptique pour le mode asynchrone.



Cette description sommaire de ce mode de fonctionnement a pour rôle de permettre une compréhension rapide des différences principales entre synchrone et asynchrone. Une description plus complète du mode asynchrone sera donnée dans le chapitre suivant.

I.5.4 - LE "TRIGGER" ASYNCHRONE D'INDRA.

Le "trigger" développé pour le projet INDRA est constitué principalement de trois types de module :

• Le regroupeur :

Les impulsions logiques issues des voies rapides des amplificateurs, convergent vers le **regroupeur**. Il associe, par câblage, différentes voies à des groupes distincts ("OU" logiques) et assure la génération de multiplicités analogiques par sommation de courants.

• Le sélecteur :

Les signaux issus du regroupeur sont ensuite envoyés dans le **sélecteur** qui, en maître de l'acquisition, va décider du rejet ou de l'acceptation d'un événement. Une logique simple, programmée, portant sur des configurations de déclenchement de détecteurs, permet de prendre une décision rapide. Dans tous les cas, après analyse, différents signaux sont alors générés vers les codeurs. Dans le paragraphe traitant du mode asynchrone d'acquisition, nous décrirons l'utilisation par le codeur de charge de ces signaux générés par le "trigger", afin de cadencer son fonctionnement.

• Le corrélateur :

Le **corrélateur**, est utilisé pour réaliser l'interface entre le sélecteur et le système informatique d'acquisition. Il centralise les informations de fin de conversion analogique-numérique des châssis contenant les codeurs et il avertit le système d'acquisition que les données d'un ou de plusieurs châssis peuvent être lues. Nous reviendrons sur l'utilisation des signaux générés par le corrélateur dans le paragraphe s'intitulant "la lecture des données".

Afin que la description succincte que nous allons entreprendre soit plus concrète, nous précisons ici les fonctions de certains signaux communs aux deux modes de déclenchement :

- l'ordre de déclenchement indiquant à une voie ou à l'ensemble des voies d'un codeur qu'elles peuvent commencer l'intégration des signaux analogiques. Cet ordre, que nous appelons **DECI**, commande la fermeture de K1 (position 2 figure 11) et permet ainsi d'initier une intégration pendant un temps T.

- l'ordre d'acceptation (**FT** pour "Fast Trigger"), permettant de confirmer que l'événement est à prendre en compte et que le codeur peut commencer ou continuer l'intégration et la numérisation des informations analogiques. Dans le cas d'une acceptation, toutes les données numériques sont transmises au système informatique pour un stockage ultérieur. Si les signaux logiques (**DECI** et/ou **FT**) et les signaux analogiques parviennent simultanément au codeur, le fonctionnement est dit synchrone. Dans le cas contraire, nous parlons de mode asynchrone.

- l'ordre de remise à zéro (**REVT** pour Rejet d'événement).

I.6 - BILAN DES CARACTERISTIQUES DE LA CHAÎNE ELECTRONIQUE.

De la description de la chaîne électronique d'INDRA nous retiendrons principalement **la grande dynamique** nécessaire pour le traitement des informations issues des détecteurs Silicium (4000) et des chambres à ionisation (1000). La totalité de la chaîne électronique (figure 21) a dû être développée en conséquence tenant compte de paramètres importants :

- **PréAmplificateurs de Charge (PAC):** ils conditionnent les signaux issus des détecteurs Silicium de 300 μm d'épaisseur et ont une sensibilité de 2 mV / MeV. Leur installation au contact des détecteurs, dans la chambre à réaction, permet en limitant les longueurs de câbles, de minimiser les capacités parasites qui pourraient détériorer ses performances.

- **Amplificateurs :** la grande dynamique en énergie associée à une grande résolution a conduit à développer des amplificateurs à faible gain (≈ 1) et à bas bruit ($< 100 \text{ keV FWHM}$).

- **Codeurs de charge :** le codage en charge a été retenu au détriment d'un codage en amplitude, parce qu'il préserve la grande dynamique de mesure, la résolution élevée aux basses énergies, tout en minimisant le déficit balistique.

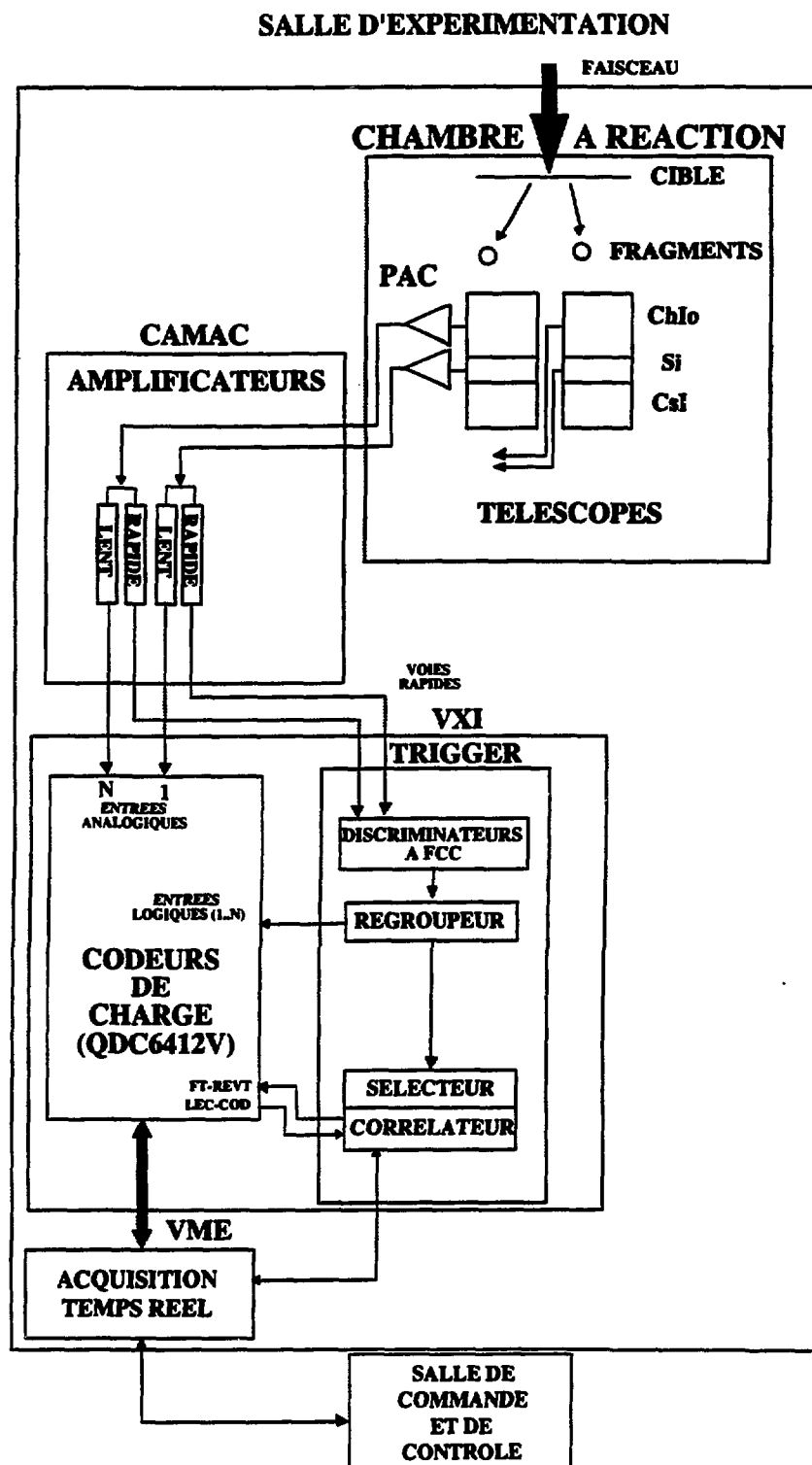
- **"Trigger" :** les interconnexions aisées entre les différents modules le constituant et sa possibilité de programmation le rendent facilement évolutif. Il procure aux codeurs un nouveau mode de déclenchement : le mode asynchrone.

Nous pouvons de plus rappeler deux éléments importants qui ont eu des conséquences sur les choix effectués pour le projet INDRA et dont nous parlerons dans le chapitre suivant :

- le nombre important de détecteurs (plus de 600 détecteurs).
- l'inaccessibilité de l'électronique ("trigger", codeurs...) pendant le déroulement des expériences, dû à son implantation dans la salle d'expérience.

Remarque : Une organisation générale des modules électroniques d'INDRA est présentée en ANNEXE A.

**Figure 21 - Schéma complet de la chaîne d'acquisition
Silicium-Chambre à ionisation.**



CHAPITRE II

CHOIX TECHNIQUES ET REALISATION DU CODEUR DE CHARGE

Nous allons dans ce deuxième chapitre aborder la description des possibilités et des choix effectués pour le développement d'un codeur de charge permettant le traitement des informations issues de détecteurs Silicium et Chambre à ionisation du projet INDRA. Tout d'abord, nous présenterons l'évolution, en physique nucléaire, des standards informatiques utilisés. En effet, les avancées technologiques en électronique et le désir des physiciens d'affiner les mesures par la prise en compte d'un nombre croissant d'informations, poussent la communauté scientifique et technologique à concevoir des systèmes d'acquisition utilisant des moyens informatiques adaptés à ces nouvelles configurations. Le standard CAMAC¹, largement utilisé actuellement par la physique nucléaire, a été abandonné au détriment du standard VXI. Une présentation succincte de ce dernier ainsi que des comparaisons CAMAC-VXI, nous permettront d'illustrer les raisons de ce choix. Ensuite, nous expliquerons comment nous avons pu obtenir une résolution équivalente à 16 bits pour mesurer de faibles énergies. Nous disséquerons le codeur de charge et nous détaillerons chacune des parties le constituant en envisageant les différentes options matérielles et conceptuelles disponibles. Enfin, nous décrirons le versant "informatique" du codeur, en particulier son initialisation et la lecture de ses données ainsi que les options mises en place permettant d'assurer le contrôle du bon fonctionnement d'une expérience.

II.1 - STANDARD ELECTRONIQUE CHOISI POUR INDRA - LE VXI.

Un module est une carte électronique réalisant une ou plusieurs fonctions spécifiques. Chacune de ces cartes est enfichée dans un châssis qui lui procure des alimentations ainsi qu'un certain nombre de lignes lui permettant, soit d'échanger des informations avec d'autres cartes du châssis, soit via le contrôleur de châssis, de converser avec d'autres châssis... Les lignes logiques, les lignes analogiques et les lignes d'alimentation forment un ensemble appelé "fond de panier" et se trouvent sur le fond du châssis. Les caractéristiques telles que leur répartition sur le fond de panier, leur nombre et leur nature, la dimension des cartes, sont déterminées par un standard. Ces standards internationaux suivis par un grand nombre de constructeurs assurent une durée de vie longue aux modules développés, ainsi les investissements peuvent-ils être amortis. Par ailleurs, ils permettent aux utilisateurs de bénéficier d'une gamme de produits plus étendue à des coûts réduits. La norme définit les caractéristiques électriques et

¹ - Computer Aided Measurement And Control [CAM 83].

mécaniques du système et spécifie les protocoles d'échanges d'informations entre les différents modules.

II.1.1 - LE VXI.

Le bus VXI est une extension du bus VME [PET 88] adaptée pour l'instrumentation. Il reprend les caractéristiques du bus VME qui est fortement utilisé dans l'industrie, l'armement et la recherche. Afin qu'il réponde aux besoins particuliers de l'instrumentation, des bus supplémentaires lui ont été adjoints.

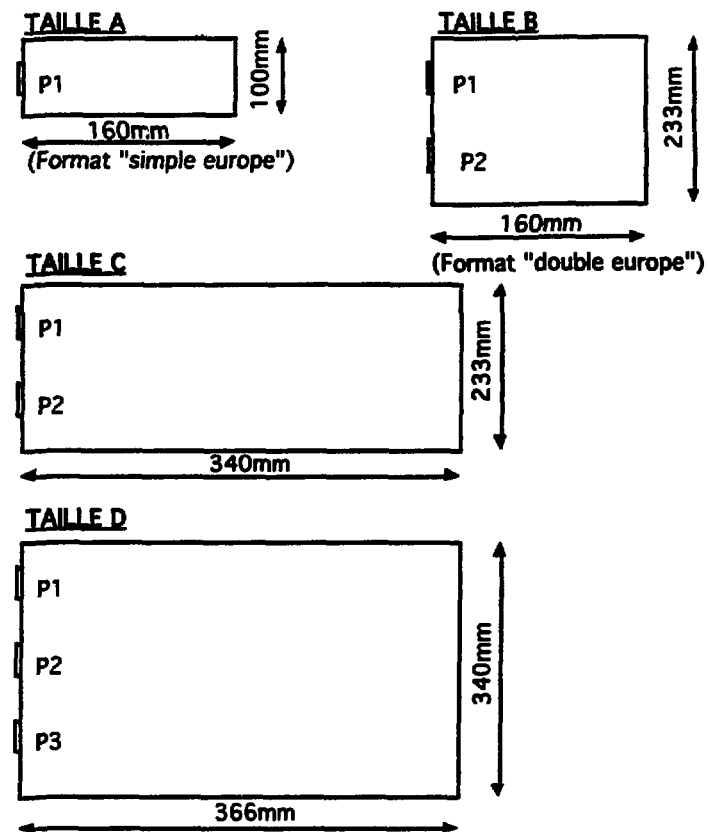
C'est en 1987 que plusieurs entreprises notamment Hewlett Packard et Tektronix ont annoncé leur engagement à construire des appareils conformes à la norme VXI [TEK 89]. Nous allons préciser dans la suite de ce paragraphe les points forts du VXI par rapport au CAMAC ainsi que les principaux apports le distinguant du VME.

II.1.1.1 - Les caractéristiques mécaniques.

Les modules VXI existent en quatre tailles A, B, C et D (figure 22). Les tailles A et B correspondent respectivement aux formats "simple et double Europe" du VME. Les formats C et D sont de plus grandes surfaces et aussi plus épais (3 cm environ). La connexion des modules sur le fond de panier est réalisée par trois connecteurs de 96 points appelés P1, P2 et P3 pour le format D. Quelle que soit la taille du module, seul le connecteur P1 est obligatoire.

Dans le standard VXI, le contrôleur de châssis se nomme "slot Ø" car il doit être positionné dans l'emplacement le plus à gauche du châssis. Un châssis peut contenir au maximum 12 modules, sans compter le "slot Ø".

Figure 22 - Les quatre formats VXI.



II.1.1.2 - Les caractéristiques électriques.

La norme VXI définit de plus la répartition et le nombre des alimentations ainsi que les lignes logiques constituant le fond de panier. Le connecteur P1 ainsi que 32 points de P2 sont identiques à ceux du VME et la norme VXI définit les 64 autres contacts de P2 ainsi que P3.

II.1.1.2.1 - Les alimentations.

Le bus VME ne dispose que des alimentations +5 et ± 12 V réparties sur P1 et sur la colonne centrale de P2, tandis que le VXI, en augmentant le nombre de contacts de ces alimentations, procure des alimentations supplémentaires (± 24 V, du -5,2 V et du -2 V).

Tableau 6 : Les alimentations VXI sur P1.

TENSIONS NOMINALES (VOLT)	TOLERANCE (VOLT)	COURANTS DE CHARGE (AMPERE)	NOMBRE DE CONTACTS
MASSE			8
+5	+0,25/-0,125	3	3
-12	-0,6/+0,36	1	1
+12	+0,6/-0,36	1	1

Tableau 7 : Les alimentations VXI sur P2.

TENSIONS NOMINALES (VOLT)	TOLERANCE (VOLT)	COURANTS DE CHARGE (AMPERE)	NOMBRE DE CONTACTS
MASSE			18
+5	+0,25/-0,125	4	4
+24	+1,2/-0,72	1	1
-24	-1,2/+0,72	1	1
-5,2	-0,26/+0,156	5	5
-2	+0,1/-0,1	2	2

Tableau 8 : Les alimentations VXI sur P3.

TENSIONS NOMINALES (VOLT)	TOLERANCE (VOLT)	COURANTS DE CHARGE (AMPERE)	NOMBRE DE CONTACTS
MASSE			14
+5	+0,25/-0,125	5	5
+24	+1,2/-0,72	1	1
-24	-1,2/+0,72	1	1
-5,2	-0,26/+0,156	5	5
-2	+0,1/-0,1	4	4
+12	+0,6/-0,36	1	1
-12	-0,6/+0,36	1	1

Il existe dans la norme des contraintes sur le bruit des alimentations : il doit être inférieur à 50 mV pour les +5, -5,2 et -2 Volts et inférieur à 2 mV pour les ± 24 et ± 12 Volts. La norme définit de plus des contraintes concernant la compatibilité électromagnétique des modules.

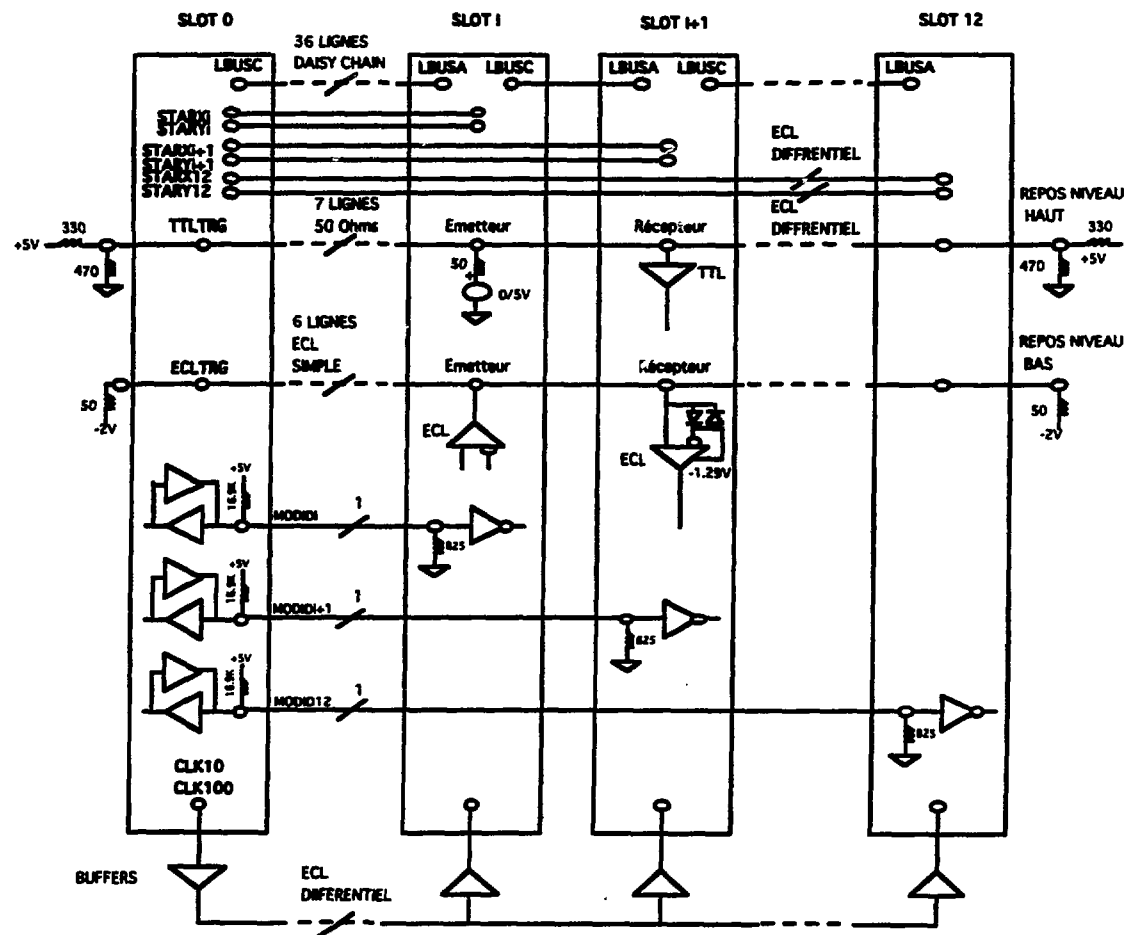
II.1.1.2.2 - Les signaux logiques.

Le bus VME fournit au VXI un bus d'adresses et un bus de données de 32 bits, un bus d'arbitrage permettant une architecture multiprocesseurs, un bus d'interruption ainsi que différents signaux tel qu'une ligne série de transfert de données, une ligne permettant de distribuer une horloge 16 MHz...

Au contraire du CAMAC et du VME où l'ensemble des signaux transitant sur le fond de panier sont TTL, le VXI définit un certain nombre de lignes ECL différentielles permettant d'obtenir de plus grandes vitesses de communication. Le "slot Ø" génère, via des "buffers", deux horloges de 10 et 100 MHz (CLK10 et CLK100) vers les autres modules du châssis. Comme autres lignes ECL, nous pouvons citer le bus en étoile. Il se compose de 12 lignes différentielles et bidirectionnelles (STARX) reliant chacun des 12 modules au "slot Ø". Pour INDRA, ce bus sera utilisé, par le "trigger", via les "slots Ø" des différents châssis, pour envoyer aux codeurs une décision rapide d'acceptation d'un événement (FT). Cette décision rapide précède l'Ordre d'Analyse qui constitue la décision lente et dont nous avons parlé dans le paragraphe traitant du mode d'acquisition asynchrone. Ce dernier signal (OA) transite également sur le bus de déclenchement. Il comporte 8 lignes (TTLTRG(i)) TTL à collecteur ouvert. Un autre bus de déclenchement (ECLTRG(i)) permet de faire circuler des informations encore plus rapidement : 62,5 MHz pour le bus ECLTRG contre 12,5 MHz pour le bus TTLTRG. Un bus local de deux fois 36 lignes "daisy chain" (LBUSA(i) et LBUSC(i)) permet une communication rapide entre les modules. Ces lignes acceptent différentes classes de signaux : TTL, ECL et des signaux analogiques variant entre ± 42 Volts maximum avec une intensité de 500 mA. Il dispose d'un bus de sommation analogique (SUMBUS) constitué d'une ligne. Pour envoyer une information, le module utilise un générateur de courant. Il peut aussi en recevoir à l'aide d'un récepteur à haute impédance d'entrée. Cette technique permet d'obtenir des signaux de formes complexes. Enfin, il dispose d'un bus d'identification des modules (MODID(i)) ; ces lignes reliées en étoile au "slot Ø" lui permettent de tester la présence ou non d'un module. Sur la figure 23 nous avons

représenté les connexions de ces différentes lignes sur les 13 modules que comporte un châssis VXI.

Figure 23 - Les connexions des différentes lignes VXI.



II.1.2 - INDRA ET LE STANDARD VXI.

Les systèmes d'acquisition du GANIL utilisent principalement deux standards informatiques : le CAMAC (pour les modules de codage et pour les modules "trigger") et le VME pour la partie acquisition (processeurs de lecture, de traitement et de contrôle). Misant sur l'intérêt de l'ensemble de la communauté scientifique et industrielle pour le VXI, nous nous sommes orientés vers ce nouveau standard. D'autres considérations sont intervenues dans ce choix : la taille des modules autorisant l'intégration de plus de voies sur une même carte et même de plusieurs fonctions. Cette intégration permet de limiter les coûts de telles installations (moins de châssis, moins de connectique...). En ANNEXE B, nous présentons une comparaison CAMAC-VXI pour le codage des informations Silicium-Chambre à ionisation. L'utilisation de différents bus a permis de concevoir un contrôle à distance du bon fonctionnement des divers modules. Cette dernière considération est d'autant plus d'actualité que pour l'expérience INDRA toute cette électronique ne peut plus accessible en présence du faisceau, rendant ainsi nécessaire ce contrôle à distance. La distribution sur les différents codeurs de lignes telles que FT et REVT a pu être réalisée aussi via d'autres lignes du fond de panier VXI.

II.2 - SOLUTION CHOISIE POUR LA GRANDE RESOLUTION, LA DOUBLE INTEGRATION.

Une autre contrainte d'INDRA est une résolution équivalent à 16 bits pour les faibles énergies. Cette caractéristique a un intérêt pour le physicien. Elle permet de discriminer des particules légères (protons, tritons, alphas...).

Pour le codeur de charge, nous avons trois possibilités pour satisfaire à cette caractéristique (figure 24) :

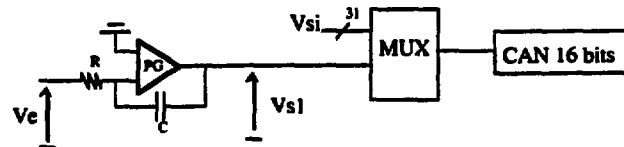
a - une seule voie d'intégration et l'utilisation d'un convertisseur analogique-numérique 16 bits.

b - une seule entrée et deux voies d'intégration, dont l'une dispose d'un amplificateur opérationnel monté en multiplicateur par 16 qui assure, pour les faibles énergies, la précision équivalant à 16 bits. Le convertisseur utilisé a une précision de 12 bits.

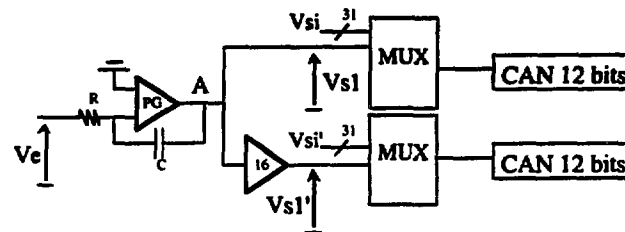
c - deux voies d'intégration ayant un rapport 16 entre leurs deux gains. Pour les deux voies à convertir, nous utiliserons aussi un convertisseur 12 bits.

Figure 24 - Alternatives pour l'obtention d'une résolution 16 bits pour les faibles énergies.

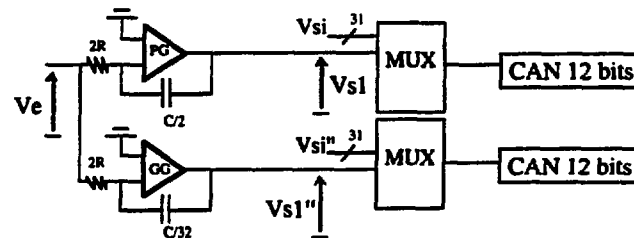
a : une voie d'intégration et un codage sur 16bits.



b : une voie d'intégration et un gain 16 en sortie.



c : deux voies d'intégration et un rapport 16 entre les deux gains.

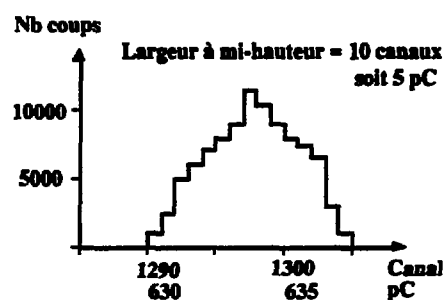


Ces trois possibilités ont été testées à l'aide d'un prototype, et seule la solution "c" a donné des résultats satisfaisants. Pour évaluer les performances de ces trois alternatives, nous avons attaqué chacune de ces configurations par une impulsion d'amplitude constante et nous avons effectué un grand nombre d'acquisitions. Quel que soit le choix effectué, étant donné le prix et l'encombrement d'un convertisseur analogique-numérique, nous avons dû multiplexer les sorties analogiques des intégrateurs en vue de leur conversion.

a : un intégrateur et un convertisseur 16 bits.

Les spectres obtenus avec ce montage ont une largeur à mi-hauteur d'environ 10 canaux :

Figure 25 - Spectre mesuré (a)
Un intégrateur et un convertisseur 16 bits.



L'emploi d'un convertisseur 16 bits (figure 24a), travaillant pour des tensions analogiques d'entrées comprises entre 0 et 10 Volts, impose qu'il soit attaqué par une tension ayant une précision d'environ 150 μ V (LSB du convertisseur). Pour expliquer la largeur trop importante du spectre obtenu dans ce cas, nous devons nous attarder sur une caractéristique du multiplexeur se trouvant placé en amont du convertisseur : le temps d'établissement ou "settling time". Ce temps correspond au temps nécessaire, après que l'adresse ait été reçue par le multiplexeur, pour que la tension analogique sur sa sortie soit confinée dans un intervalle à x pour-cent de la valeur maximale que celui-ci puisse générer.

Les temps d'établissement donnés par le constructeur, pour le multiplexeur choisi (MX818 - DATEL) et pour un échelon de 10 Volts, sont les suivants :

± 10 mV pour $t = 250$ ns.

± 1 mV pour $t = 800$ ns.

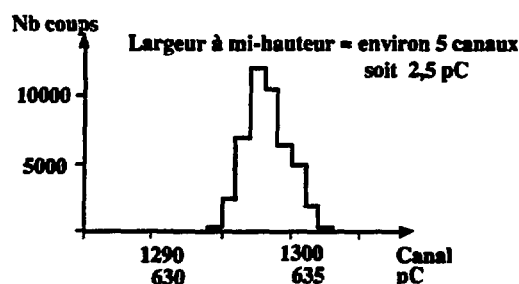
Dans notre cas, l'échelon de tension maximum que nous pouvons avoir est d'environ 8 Volts. Le multiplexeur délivre alors, au bout de 800 ns, une tension précise à plus ou moins 800 μV .

Si l'on ne considère que les défauts apportés par le multiplexeur, la largeur estimée des spectres est d'approximativement 10 canaux ($2 * 800 \mu\text{V} / 150 \mu\text{V}$). N'ayant pas trouvé, chez les différents constructeurs, de multiplexeur 16 bits et l'utilisation de 64 convertisseurs analogique-numérique n'étant pas envisageable, la solution "a" n'a pas été retenue.

b : un intégrateur et un gain 16 en sortie.

Les spectres obtenus avec ce montage ont une largeur à mi-hauteur d'environ 5 canaux :

Figure 26 - Spectre mesuré (b), voie à gain 16
Un intégrateur, un gain 16 et un convertisseur 12 bits.



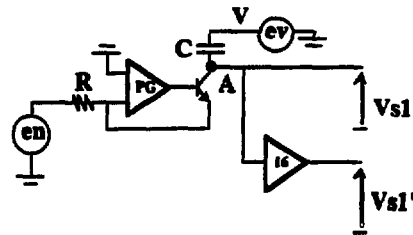
Pour les éventualités b et c, le convertisseur utilisé est un convertisseur 12 bits de LSB valant 2,44 mV. Ce LSB, ramené au point A de la figure 24b, devient alors un LSB de 150 μV comme dans le cas "a" considéré précédemment.

Sur les figures 27a et b, nous avons représenté deux sources de bruit : la première, " e_v ", est le bruit de l'alimentation 8 Volts accroché sur la capacité de charge ; le second bruit, " e_n ", représente l'ensemble des bruits intégrés par cette même capacité de

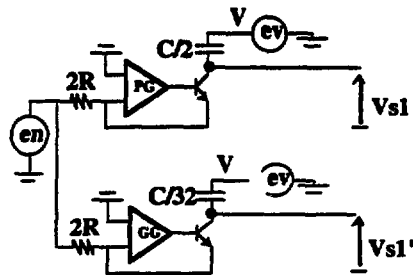
charge (bruit sur l'ensemble des alimentations utilisées par l'intégrateur, bruit du générateur de test utilisé...).

Figure 27 - Le point sensible de l'intégrateur.

a : Une voie d'intégration et un gain 16 en sortie.



b : deux voies d'intégration et un rapport 16 entre les deux gains.



La puissance du bruit de la tension V_{s1}' (figure 27a) en sortie de l'amplificateur de gain 16 est :

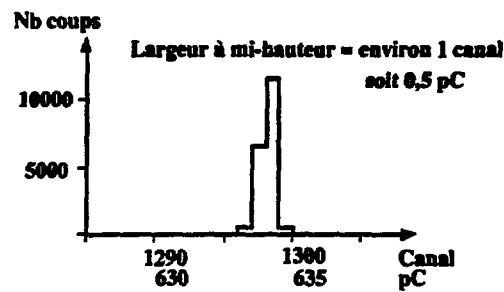
$$(V_{s1}')^2 = (16 e_v)^2 + \left(-\frac{16 \cdot e_n}{RC}\right)^2 \cdot |H(j\omega)|^2 \quad (17)$$

où $|H(j\omega)|^2$ représente le module au carré de la transformée de Fourier de la réponse impulsionnelle de l'intégrateur.

c : deux voies d'intégration et un rapport 16 entre les deux gains.

Les spectres obtenus avec ce montage ont une largeur à mi-hauteur d'environ un canal :

**Figure 28 - Spectre mesuré (c), voie à gain 16
Deux voies d'intégration et un convertisseur 12 bits.**



La puissance de bruit en sortie du montage de la figure 27b est :

$$(V_{sl})^2 = (e_v)^2 + \left(-\frac{16 \cdot e_n}{RC}\right)^2 \cdot |H(j\omega)|^2 \quad (18)$$

La différence entre les expressions (17) et (18) se situe au niveau du bruit sur l'alimentation 8 Volts (e_v), accrochée à la capacité de charge. Celui-ci est affecté d'un facteur 16^2 dans le cas de l'expression (17).

Le montage de la figure 27a nous ayant donné des spectres de largeur à mi-hauteur de l'ordre du canal et cela sur les deux gains, c'est cette option qui a été retenue.

Ne disposant pas d'assez de temps à l'époque où les choix devaient être arrêtés, la configuration à un intégrateur (figure 27a) n'a pas été retenue. Des essais ultérieurs ont montré qu'elle est réalisable mais que des contraintes accrues sont nécessaires sur la tension + 8 Volts.

II.3 - QDC6412V, CODEUR DE CHARGE 32 VOIES DOUBLE INTEGRATION STANDARD VXI.

Le QDC6412V est un **codeur de charge**, disposant de 32 entrées à double intégration soit 64 données mémorisées sur 12 bits, réalisé au standard VXI taille D [TEK 89]. Deux années auront été nécessaires pour parvenir au stade d'une fabrication en "série". Pour INDRA, 10 modules ont été câblés et testés mettant 320 voies disponibles pour les physiciens. Dans ce paragraphe, nous allons détailler et justifier les différents choix conceptuels et technologiques effectués pour la réalisation du codeur de charge pour le traitement des informations issues des détecteurs Silicium et des chambres à ionisation d'INDRA. Les nouvelles possibilités offertes par le standard VXI ont été mises à profit, comme l'utilisation de certaines lignes du bus qui permettent d'assurer le contrôle à distance du bon fonctionnement des codeurs et de vérifier que leur initialisation s'est bien déroulée... De nouveaux types de composants électroniques ont été utilisés comme des PGA² (en ANNEXE C, nous donnons quelques précisions sur la constitution de PGA de la série 3000 de chez XILINX). Ce sont des composants programmables qui permettent une plus grande intégration que celle des PAL³.

II.3.1 - LES DIFFERENTS BLOCS FONCTIONNELS DU CODEUR.

Le codeur de charge QDC6412V correspond à l'assemblage de plusieurs fonctions (figure 29). Chacun des courants analogiques à intégrer $I_c(i)$ est envoyé sur un double intégrateur chargé d'assurer une conversion charge-tension. Les signaux DEC(i), informations logiques de synchronisation, sont envoyés sur un module dédié au séquençement de l'intégration (génération de portes d'intégration...). Ces deux modules seront regroupés dans le bloc fonctionnel appelé "conversion charge-tension".

Issues des intégrateurs les deux informations $Q_{v1}(i)$ et $Q_{v2}(i)$ sont envoyées, via des multiplexeurs, sur des Convertisseurs Analogique-Numérique (CAN). Dans ce bloc fonctionnel, nous avons associé le système de correction appelé "échelle glissante" permettant d'améliorer les performances du CAN.

² - Programmable Gate Array [XIL 89].

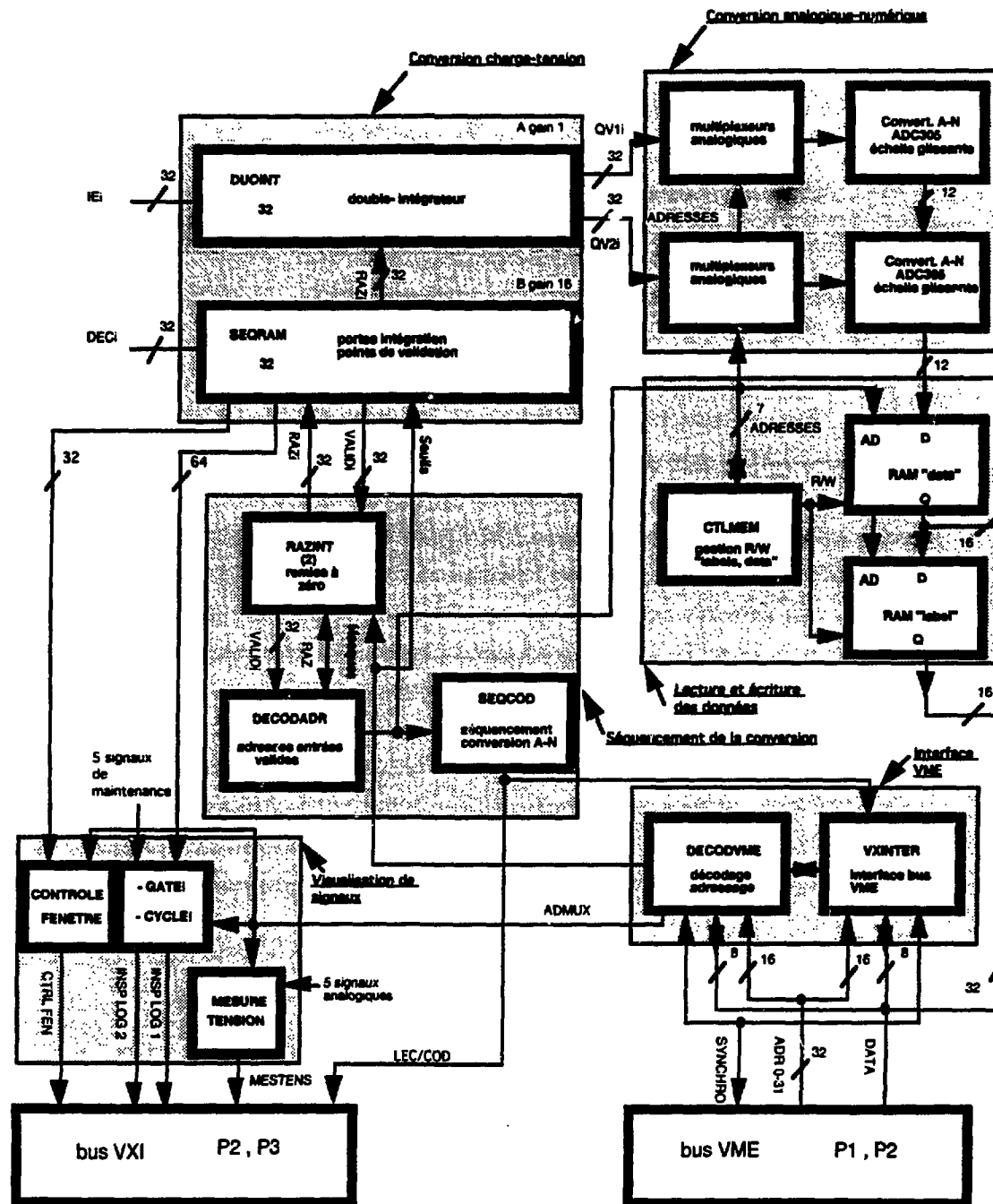
³ - Programmable Array Logic [AMD 90].

Le séquençement de la conversion analogique-numérique est réalisé à l'aide de PGAs.

La conversation du module avec le bus VXI, notamment l'initialisation et la lecture des données du codeur, est réalisée dans le bloc fonctionnel "interface VME".

Enfin, la visualisation d'un certain nombre de signaux, via le contrôleur de châssis, permet de suivre à distance le fonctionnement des différents codeurs.

Figure 29 - Les différents blocs fonctionnels du codeur.



II.3.1.1 - La conversion charge-tension.

Ce bloc fonctionnel est dédié à la conversion de l'information analogique $I_e(i,t)$ en une grandeur $Q_v(i)$ proportionnelle à la charge électrique déposée par une particule dans le détecteur. Les caractéristiques des impulsions à traiter sont les suivantes :

- Amplitude maximale : -2 volts.
- Temps de montée : quelques centaines de nanosecondes au maximum.
- Temps de retour à zéro : quelques microsecondes.

La charge électrique $Q_v(i)$ est obtenue par l'intégration pendant un temps T du courant $I_e(i,t)$. Il faut donc générer cette fenêtre d'intégration ainsi que la remise à zéro de la capacité C qui mémorise l'information $Q_v(i)$ après que celle-ci ait été numérisée et stockée en mémoire. Nous appellerons "SEGRAM" le module qui génère ces signaux et "DUOINT" le module qui effectue l'intégration de l'impulsion. Plusieurs composants réalisant cette dernière fonction existent sur le marché. Réalisés à l'aide de différentes technologies et répondant aux caractéristiques désirées, ils n'ont pourtant pas été retenus. Les raisons principales sont leur prix de revient trop élevé ainsi que des problèmes liés à la technologie utilisée. En 1987, à l'ISN⁴ de Grenoble, un double intégrateur a été développé en technologie "Hybride" : le CCT120 (1300 Frs pour deux voies). En 1992, un ASIC⁵ a été développé (environ 1000 Frs pour deux voies). La technologie "Hybride" est l'utilisation conjointe de deux technologies : ASIC associé à des composants qui sont soit de type CMS⁶ soit des composants standards.

⁴ - Institut des Sciences Nucléaires, 38026 Grenoble CEDEX.

⁵ - Application Specific Integrated Circuits [LUC] et [FON 79].

⁶ - Composants Montés en Surface.

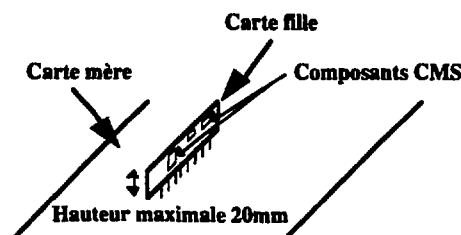
II.3.1.1.1 - Choix de la technologie.

Par définition, les ASIC regroupent tous les circuits dont la fonction peut être personnalisée en vue d'une application spécifique, par opposition aux produits standards dont la fonction est parfaitement définie et décrite dans un catalogue. Les ASIC sont classés en deux familles [FEL] : les circuits semi-spécifiques, regroupant entre autres les PAL et les PGA, et les circuits spécifiques parmi lesquels nous trouvons les composants prédiffusés utilisés pour la réalisation de l'ASIC intégrateur de l'ISN de Grenoble.

La technique "Hybride" est une utilisation des deux technologies ASIC et composants classiques qui, comme pour la réalisation d'ASIC nécessite des coûts de développement et de fabrication importants. Les liaisons entre les composants classiques et le reste du circuit sont appelés "bonding" et sont réalisées à l'aide d'outillage que peu d'entreprises peuvent se permettre d'acquérir. Par conséquent, ne disposant pas de ces appareillages, la maintenance quand elle est possible ne peut pas être réalisée par l'utilisateur.

Pour le développement de ces cartes, nous avons opté pour l'utilisation de composants CMS. L'encombrement plus important de ces derniers a pu être compensé par l'utilisation des 3 cm d'épaisseur dont on dispose sur une carte VXI taille D (appelée "carte mère"). Les modules "SEQRAM" et "DUOINT" que nous nommerons par la suite "cartes filles" ont été développés sur des petites cartes que l'on enfiche perpendiculairement sur la carte mère (figure 30). Ainsi, ces modules ne prennent-ils pas beaucoup plus de place sur la surface de la carte mère que la solution basée sur technologie ASIC. D'un prix de développement beaucoup moins élevé (400 Frs pour deux voies), ils peuvent être dépannés rapidement.

Figure 30 - Carte fille et carte mère.



II.3.1.1.2 - Le double intégrateur "DUOINT".

• La capacité C d'intégration.

Le courant est également réparti sur chacune des deux voies intégratrices (figure 31, $R = 100 \Omega$). L'impédance d'entrée de l'ensemble est donc 50Ω . Pour déterminer les capacités d'intégration, il faut tout d'abord calculer la charge maximale équivalente Q_{\max} que peut mesurer une voie :

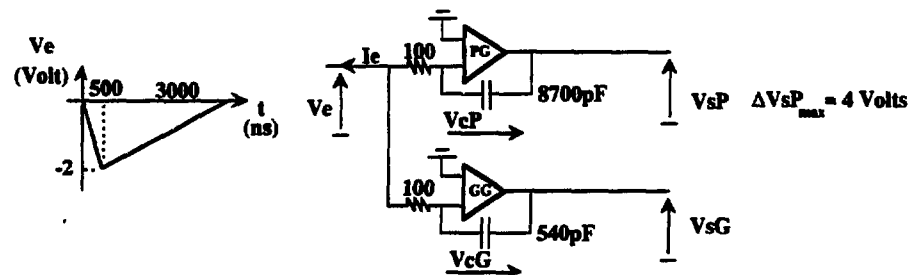
$$Q_{\max} = \int_T^0 \frac{V_e(t)}{R} \cdot dt \quad (19)$$

où $T = 5 \mu s$ dans le cas d'INDRA.

Elle est mesurée à partir de l'impulsion $V_e(t)$ d'amplitude maximale égale à -2 Volts, sur le petit gain, puisque c'est cette voie qui intègre sur toute la gamme c'est-à-dire jusqu'à 4 GeV. Pour faciliter le calcul, l'impulsion peut être représentée par des segments de droite (figure 31) et l'on obtient :

$$Q_{\max} = \frac{3,5 \cdot 10^{-6}}{100} = 35 \text{ nC}$$

Figure 31 - Le calcul des capacités d'intégration.



Ensuite, à partir de la variation maximale de tension aux bornes de la capacité ($\Delta V_{CP} = 4$ Volts), nous pouvons, d'après l'équation qui relie la charge d'une capacité à la tension à ses bornes, calculer la valeur de C_P pour le petit gain puis C_g pour le grand gain :

$$C_P = \frac{Q_{\max}}{\Delta V_{CP}} = 8700 \text{ pF} \quad (20)$$

$$C_g = \frac{C_P}{16} = 540 \text{ pF}$$

Remarque :

Les sorties des intégrateurs sont ensuite connectées via des multiplexeurs à un convertisseur analogique-numérique. Ce dernier numérise sur 12 bits une tension analogique comprise entre 0 et 10 Volts. Pour ne pas perdre en précision, il aurait été préférable que la variation de tension (ΔV_s), en sortie des intégrateurs, soit de 10 Volts. Pour ce faire, nous aurions dû utiliser pour la réalisation de tels intégrateurs l'alimentation +24 Volts. Ne disposant pas d'assez de puissance sur ces dernières, cette solution n'a pas été retenue.

• L'asservissement de la masse virtuelle.

L'entrée de l'intégrateur peut être réalisée à l'aide d'un Amplificateur Opérationnel (ex : AD847 - Analog Devices). L'AO utilisé doit disposer d'une vitesse de balayage suffisante pour traiter correctement les informations analogiques issues de l'amplificateur lent, et doit avoir une dérive thermique de sa tension "d'offset" telle qu'elle ne vienne pas limiter la résolution de la chaîne d'acquisition. Pour INDRA, les impulsions issues des détecteurs Silicium ont des vitesses de balayage de l'ordre de $4 \text{ V} / \mu\text{s}$. En prévision d'utilisations ultérieures, nous avons cherché des amplificateurs ayant des vitesses de balayage supérieures à $80 \text{ V} / \mu\text{s}$. En effet, pour certains détecteurs, les impulsions à traiter ont des temps de montée de quelques dizaines de nanosecondes. Un certain nombre d'AO répondant à cette caractéristique existent dans le commerce, mais tous disposent d'une dérive "d'offset" supérieure à $15 \mu\text{V} / ^\circ\text{C}$. Nous allons montrer que

pour notre application, cette dernière caractéristique pourrait avoir des conséquences sur la résolution du système et allons décrire la méthode utilisée pour en limiter les effets.

Cette dérive thermique "d'offset", sur les AO attaqués par l'impulsion analogique via une résistance 100 Ω , engendre une dérive sur les courants à intégrer ($\Delta I = 0,15 \mu A / ^\circ C$). La variation de tension en sortie d'intégrateur (ΔV_s) est alors de la forme :

$$\Delta V_s = -\frac{\Delta I \cdot T}{C} \quad (21)$$

où ΔI est la variation de courant à intégrer engendrée par la dérive thermique de "l'offset" sur l'une ou l'autre des voies d'intégration (petit ou grand gain).

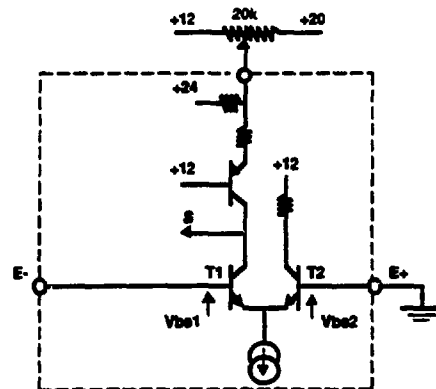
T est le temps d'intégration (5 μs).

C est la capacité d'intégration sur le petit gain (C_p) ou sur le grand gain (C_g).

Sur le grand gain ($C_g = 540 \text{ pF}$), nous trouvons une dérive sur la sortie de l'intégrateur d'environ 1,38 mV / $^\circ C$ et sur le petit gain ($C_p = 8700 \text{ pF}$) elle est de 86 $\mu V / ^\circ C$. La variation maximale en sortie d'intégrateur étant d'environ 4 Volts, pour un codage sur 12 bits (4096 points), nous obtenons un LSB d'approximativement 1 mV. Ce qui donne pour la voie la plus critique, c'est-à-dire le grand gain, une dérive en sortie d'intégrateur supérieure à un LSB par degré centigrade.

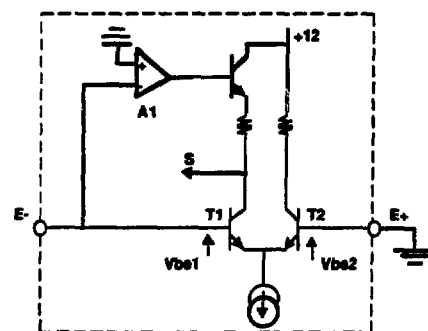
Pour limiter la dérive de l'offset, nous avons utilisé, en nous inspirant de l'intégrateur Hybride réalisé par l'ISN de Grenoble, un étage différentiel à transistor remplaçant l'AO précédemment décrit. Le principe de l'étage d'entrée de l'intégrateur Hybride est représenté sur la figure 32. Comme le montage différentiel est encapsulé dans l'Hybride, les variations thermiques des V_{be} des transistors le constituant n'engendrent pas ou peu de dérive de "l'offset" car elles évoluent simultanément et, par conséquent, elles se compensent. L'annulation de "l'offset" (ou le réglage de la masse virtuelle E-), découlant de la disparité des caractéristiques des composants constituant l'étage, est ici réalisée manuellement à l'aide d'un potentiomètre.

Figure 32 - Etage d'entrée de l'intégrateur Hybride.



Afin de rendre ce réglage automatique et pour compenser les dérives des V_{be} qui, dans notre application, ne seront pas forcément simultanées puisque l'étage sera réalisé en technologie CMS, nous avons adjoint au montage précédent une contre-réaction permettant d'asservir cette masse virtuelle. La boucle de contre-réaction est réalisée par un Amplificateur Opérationnel "lent", puisqu'il est destiné à corriger les dérives en température des V_{be} et à compenser la disparité des caractéristiques des composants utilisés. Sur la figure 33, nous avons schématisé ce montage d'entrée : l'amplificateur opérationnel A1 utilisé a une dérive "d'offset" d'environ $0,2 \mu V / ^\circ C$. L'entrée E+ du montage sera reliée à la masse, l'entrée E- via une résistance 100Ω recevra l'impulsion analogique à intégrer et la sortie de notre étage est le point repéré S sur la figure 33.

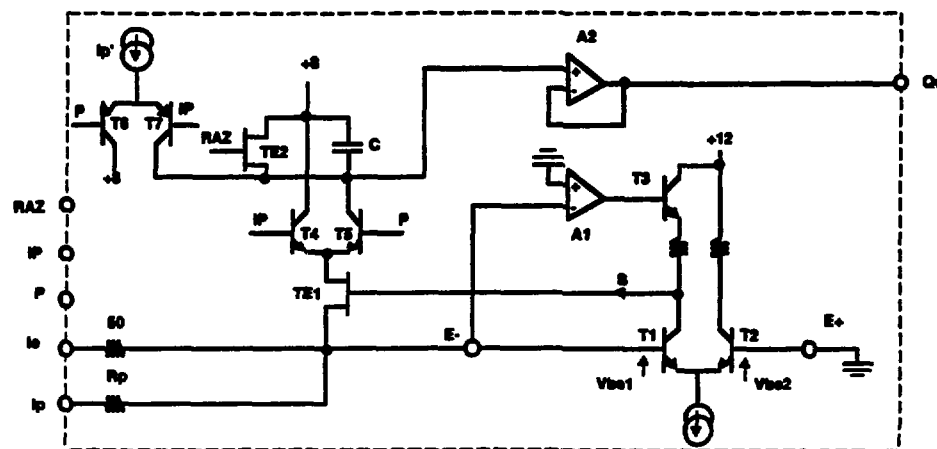
Figure 33 - Etage d'entrée d'un intégrateur du QDC6412V.



• La porte d'intégration T.

La porte d'intégration générée par la carte fille "SEQRAM" est envoyée sur l'intégrateur en mode différentiel et est appelée alors iP et P (figure 34). Ces signaux commandent l'étage formé par T4-T5 (BFR92 - PHILIPS) et permettent ainsi d'autoriser ou de stopper la charge de la capacité C par le courant I_e .

Figure 34 - Schéma complet d'un intégrateur.



• Le courant de polarisation I_p' .

Les signaux iP et P commandent aussi la génération du courant de polarisation de l'étage intégrateur. Ils pilotent l'étage différentiel formé par T6-T7 (BSR12 - PHILIPS). Quand P a un niveau supérieur à iP , T5 et T7 sont passants, le courant I_p' polarise alors la branche formée par C , T5 et TE1 (BSS83 - PHILIPS). I_p' est un courant constant d'environ $200 \mu A$. En l'absence de courant I_e , le courant de piédestal I_p permet de compenser l'intégration du courant de polarisation de telle sorte que la tension aux bornes de la capacité C reste égale à 8 Volts.

La remise à zéro de la capacité de charge est assurée par le transistor à effet de champ TE2 commandé par le signal RAZ généré par le module "SEQRAM". La tension Q_v , résultat de l'intégration du courant I_e , est multiplexée avant d'être numérisée. Le multiplexeur utilisé a une impédance série d'environ $1 k\Omega$; pour ne pas perturber la

charge de la capacité, l'amplificateur opérationnel A2 monté en suiveur est utilisé afin d'isoler la sortie de l'intégrateur du multiplexeur.

Les signaux iP-P et RAZ sont communs aux deux voies d'intégration (petit et grand gain).

II.3.1.1.3 - Le séquençement d'un double intégrateur "SEQRAM".

Ce module reçoit principalement deux signaux : $DEC(i)$ qui est l'information logique associée au signal analogique à intégrer I_e et un signal de remise à zéro $RAZVOI(i)$.

Avant de décrire ce module, nous devons revenir sur le mode de fonctionnement asynchrone utilisé dans notre cas. Dès qu'un signal logique parvient sur un codeur, la voie déclenchée débute systématiquement l'intégration de l'impulsion analogique correspondante dont la durée sera d'environ $T = 5 \mu s$. Simultanément, le retard du front montant du signal $VALID(i)$ est déclenché. Ce front montant réglable (de 100 ns à 1 μs) apparaîtra dans notre cas après le début de l'intégration. Un autre signal appelé VALEX (ou encore appelée FT, "Fast Trigger") emprunte les lignes STARX du fond de panier VXI et parviendra sur chaque module "SEQRAM". Distribué en étoile, ce signal est généré par le "trigger" si l'événement est sélectionné. C'est une fenêtre activée après une première décision et de largeur prédéfinie. Trois cas peuvent se produire :

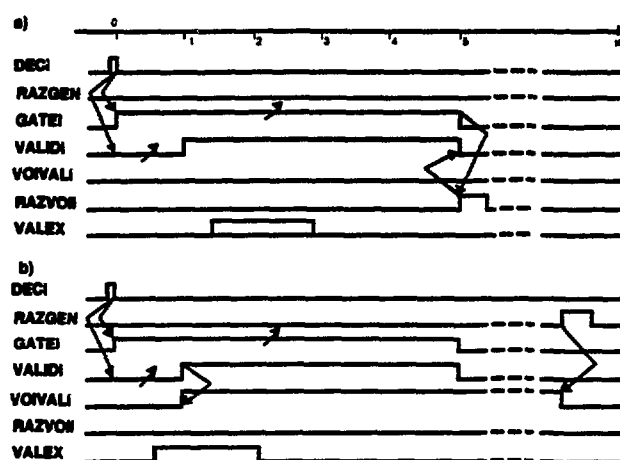
- il n'y a pas de fenêtre VALEX, c'est-à-dire que le "trigger" n'a pas rencontré d'événement intéressant. Un détecteur touché par un fragment génère une impulsion analogique $I_e(i)$ et bien sûr, via l'amplificateur rapide, une impulsion logique $DEC(i)$. A la réception de ce signal logique, l'intégration sur la voie correspondante commence ainsi que le retard à la génération du front montant du signal $VALID(i)$. A l'apparition de ce front montant, comme aucun signal VALEX n'est parvenu au codeur, la voie déclenchée poursuit son intégration, et sur le front descendant de $GATE(i)$, elle se remet elle-même à zéro pendant 500 ns : puis elle est alors prête pour un nouveau déclenchement. Sur la figure 35a, nous avons représenté le chronogramme de cette situation.

- une fenêtre de validation VALEX est générée mais le front de validation $VALID(i)$ apparaît hors de cette fenêtre (figure 35a), la remise à zéro est effectuée alors comme dans le cas précédent. En fin de porte d'intégration $GATE(i)$, le module

"SEQRAM" génère un signal RAZVOI(i) qui remet à zéro la voie numéro i pendant au moins 500 ns.

- le front de validation VALID(i) apparaît dans la fenêtre de validation VALEX, le signal voie valide (VOIVAL(i)) est positionné à un niveau logique "1". A la fin de l'intégration, chaque voie ayant son signal VOIVAL(i) positionné à un niveau logique "1" est alors en attente de numérisation. Elle est ensuite stockée dans la mémoire du codeur. Pour finir, toutes les voies validées sont lues par le système d'acquisition puis, en fin de lecture, une remise à zéro générale RAZGEN est envoyée à tous les codeurs (figure 35b).

Figure 35 - Chronogrammes du mode asynchrone.



Dans le cas d'une acceptation d'événement, le signal VALEX est généré ; il constitue une première décision dite "rapide". Deux cas peuvent se produire :

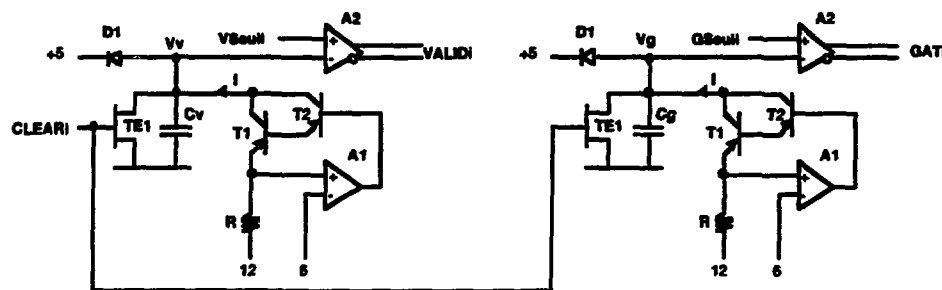
- si après une analyse plus fine par le "trigger", analyse dite "lente", l'événement est toujours intéressant, le signal OA (Ordre d'Analyse, ce signal est véhiculé par la ligne TTLTRG(6) du fond de panier VXI) est alors généré par le "trigger". A la fin d'intégration de toutes les voies validées ($VOIVAL(i) = 1$) la conversion analogique-numérique de toutes les voies valides peut alors commencer. Sur un codeur, le vecteur des 32 signaux $VOIVAL(i)$ est appelé "bit pattern". Nous reparlerons de ce vecteur qui, mémorisé, peut être utilisé pour un mode de lecture des données.

• si après l'analyse lente, l'événement n'est finalement pas retenu, le "trigger" ne génère pas le signal OA et il remet à zéro l'ensemble des codeurs en positionnant le signal RAZGEN.

- La génération de la porte d'intégration GATE(i) et du front de validation VALID(i).

Le principe de génération de ces deux signaux est identique. Une rampe, générée par la charge à courant constant d'une capacité, est envoyée sur l'entrée inverseuse du comparateur A2 (HCMP96870A - SPT). Sur l'entrée non inverseuse de ce dernier une tension (V_{Seuil} et G_{Seuil}) fixée par logiciel est appliquée (figure 36).

Figure 36 - Génération de GATE(i) et de VALID(i).



Ces tensions de seuil, V_{Seuil} pour les 32 points de validation et G_{Seuil} pour les 32 portes d'intégration sont générées à partir de deux Convertisseurs Numérique-Analogique (CNA). La génération du point de validation a dû être réalisée avec la contrainte suivante : si l'on attaque les 32 voies d'intégration par le même signal DEC, la disparité sur l'instant d'apparition des signaux VALID(i) doit être de l'ordre du pour-cent. Avant d'effectuer le calcul sur la précision des composants à utiliser afin de réaliser cette contrainte, nous allons calculer les limites de variation de ces deux signaux.

Le courant I est identique pour les deux montages de la figure 36 et égal à 1 mA ($R = 6 \text{ k}\Omega$). Les deux tensions de seuil sont générées par des CNAs 12 bits et varient entre 0 et 5 Volts donnant un LSB d'environ 1,2 mV. L'instant de commutation du comparateur A2 est donné par :

$$t = \frac{C \cdot V}{I} \quad (22)$$

soit pour le point de validation ($C_v = 330 \text{ pF}$) =>

$$t_{vmax} = 1,66 \text{ }\mu\text{s.}$$

et pour la porte d'intégration ($C_g = 2200 \text{ pF}$) =>

$$t_{gmax} = 11 \text{ }\mu\text{s.}$$

Le comparateur A1 ayant une tension d'offset d'environ 3 mV, les minima que l'on peut obtenir sont de l'ordre de quelques dizaines de nanosecondes.

Le calcul de la dispersion des instants d'apparition des signaux VALID(i) se fait simplement par addition des différentes incertitudes relatives des valeurs des composants utilisés pour réaliser cette fonction et notamment C, R et les "offsets" de l'amplificateur A1 (OP215GS - PMI) et du comparateur A2. L'évaluation de l'incertitude relative totale est la suivante :

- les capacités C ont une précision de 1 %.
- les résistances R ont une précision de 0,1 %.
- l'incertitude absolue de la tension "d'offset" de l'amplificateur opérationnel A1 est égale à 3 mV, nous obtenons donc, comme il fonctionne autour de 6 Volts, une incertitude relative de 0,05 % ($3 \text{ mV} / 6 \text{ V}$).
- l'incertitude absolue de la tension "d'offset" du comparateur A2 est de 3 mV. Pour INDRA, VALID(i) variera entre environ 300 ns et 1 μs soit V_{Seuil} variant de 0,9 V à 3 V, pour le cas le plus critique ($V_{Seuil} = 0,9 \text{ V}$), l'incertitude relative pour A2 est alors de l'ordre de 0,3 % ($3 \text{ mV} / 0,9 \text{ V}$).

L'incertitude relative totale est donc d'environ 1,5 % pour le cas le plus défavorable.

Remarques :

Pour créer VALID(i) et GATE(i), nous aurions pu utiliser le même générateur de rampe nous permettant de limiter le nombre de composants et deux comparateurs A2, mais nous allons montrer que dans ce cas, la contribution de A2 sur l'incertitude relative du front de validation serait alors supérieure au pour-cent. La pente de la rampe à utiliser pour les deux signaux doit être égale à la pente nécessaire pour créer le plus grand retard soit environ 10 μ s pour GATE(i). Les tensions de seuil varient entre 0 et 5 Volts soit une pente de 0,5 V / μ s. Pour le point de validation minimum soit 300 ns, la tension de seuil est alors égale à 0,15 Volt. L'incertitude relative apportée par A2 sur la génération du front de validation est alors de 2% (ΔV_{offset} de A2) / V_{Seuil} soit 3 mV / 0,15 V).

Les signaux iP-P représentant la fenêtre d'intégration sont déclenchés à partir de DEC(i) qui définit le début d'intégration et de GATE(i) qui en définit la fin.

La diode D1 est utilisée pour limiter la tension sur l'entrée négative du comparateur A2 qui admet une tension différentielle maximale égale à ± 5 Volts.

II.3.1.2 - La conversion analogique-numérique.

Pour stocker en mémoire le résultat des différentes intégrations (V_{Spi} et V_{Sgi} respectivement tension de sortie de l'intégrateur à petit gain et à grand gain), il est nécessaire de les convertir en des nombres binaires. Pour cela, on dispose de différentes méthodes [FON 79] :

- approximations successives.
- flash ou convertisseur parallèle.
- série-parallèle...

Chacune de ces techniques de Conversion Analogique-Numérique a ses avantages et ses inconvénients : temps de conversion, précision... En ANNEXE D, nous détaillons le principe de ces trois principales méthodes. Le CAN (SO ADC 305 - SOREP) que nous utilisons fonctionne suivant la technique série-parallèle. Les principales caractéristiques de celui-ci sont les suivantes :

- 12 bits de résolution.
- 350 ns de temps de conversion.
- Linéarité Différentielle = $\pm 0,5$ LSB.
- prix = 1800 Francs.

II.3.1.2.1 - Les défauts d'un Convertisseur Analogique-Numérique.

La conversion analogique-numérique consiste à associer, au nombre infini de valeurs de tensions analogiques qui peuvent être présentées à l'entrée du CAN, un nombre fini de valeurs numériques. Différents bruits sont répertoriés : le bruit de quantification est le seul bruit qui ne dépende pas de la technique de conversion utilisée, il vaut $\pm 0,5$ LSB. Les autres bruits sont principalement liés à la méthode mise en œuvre, à la précision des résistances, à la disparité des tensions "d'offset" des comparateurs, à la précision du CNA utilisé... Nous pouvons ainsi citer [COU 84] :

- l'erreur de décalage ou "d'offset".
- l'erreur de pente ou de gain.
- la non linéarité intégrale.
- la non linéarité différentielle.

Dans la suite de cet exposé, nous allons détailler le principe de correction de la Non Linéarité Différentielle (NLD) car c'est une erreur que l'on cherche à minimiser en physique nucléaire.

Sur la figure 37a, nous avons représenté la caractéristique de transfert d'un convertisseur idéal. En abscisse est indiquée la tension analogique V_e à convertir, et en ordonnée nous trouvons les combinaisons binaires présentes, en fin de conversion, en

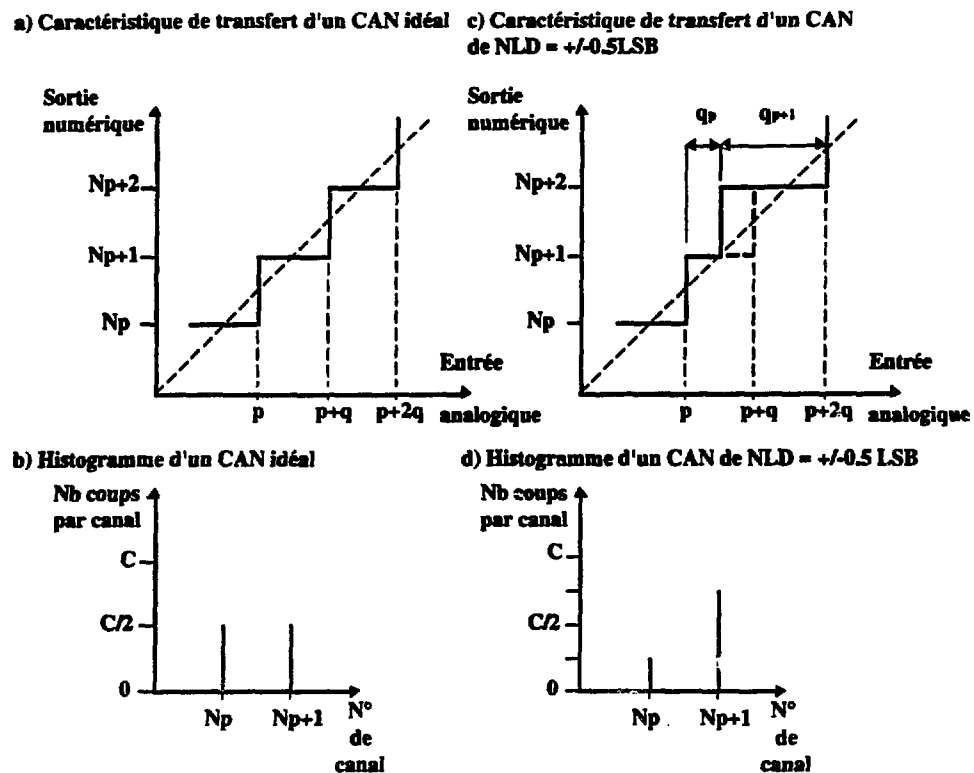
sortie de CAN. L'erreur ou bruit de quantification est la différence entre la tension analogique d'entrée et la tension numérique qui est obtenue. La largeur idéale d'une marche est appelée quantum ou pas de quantification et notée q tandis que nous noterons q_p la largeur réelle d'une marche. Sur la figure 37c, nous avons représenté la caractéristique de transfert d'un CAN présentant une NLD égale à $\pm 0,5$ LSB. NLD(p) est définie comme étant l'écart relatif entre la valeur effective du quantum et sa valeur théorique :

$$NLD(p) = \frac{q_p - q}{q} \quad (23)$$

Cette erreur exprimée en LSB est généralement spécifiée en valeur maximale. Nous allons tout d'abord montrer comment cette NLD est mesurée puis nous expliquerons la technique utilisée pour l'améliorer.

La mesure de la NLD consiste à attaquer le convertisseur par une tension dont l'amplitude varie de façon aléatoire de zéro à la tension maximale qu'il admet soit 10 Volts dans notre cas. Cette variation doit avoir une distribution uniforme sur toute la gamme. Les résultats de ces tests sont représentés sur un histogramme pour lequel en abscisse nous avons les 2^N valeurs numériques ou canaux possibles et en ordonnée le nombre de fois que chaque canal a été rencontré. Pour un convertisseur idéal, chaque marche étant de largeur identique, nous obtenons pour tous les canaux un nombre identique de coups (figure 37b).

Figure 37 - Convertisseur idéal et NLD.

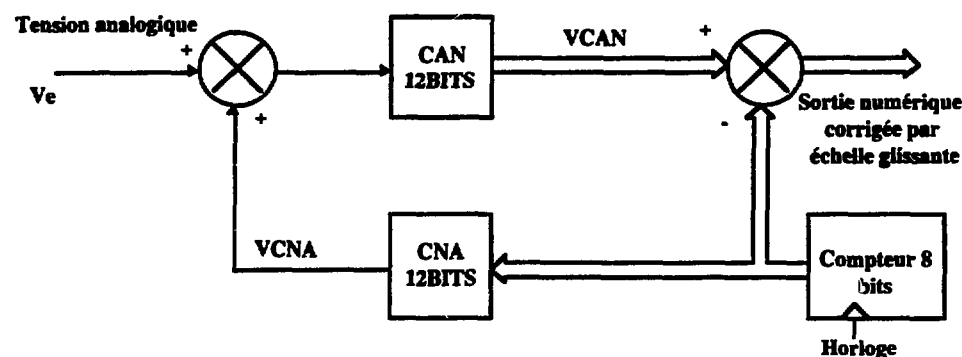


Regardons maintenant comment est modifié l'histogramme d'un convertisseur de NLD égale à $\pm 0,5\text{LSB}$. Pour ce faire, nous n'allons considérer que 2 canaux (figure 37c) : nous prendrons comme largeur du canal p la limite inférieure de la DNL soit $0,5\text{LSB}$ et pour le canal suivant ($p+1$) la limite supérieure soit $1,5\text{LSB}$. Nous attaquons alors le CAN par une tension analogique d'amplitude variant de façon uniforme entre p et $p+2q$. Le nombre total de conversions (C), dans la pratique, doit être "grand" pour que la statistique soit respectée (l'erreur statistique étant en \sqrt{C}). Nous obtenons l'histogramme de la figure 37d pour lequel le canal N_p a compté $C/4$ coups alors que le canal N_{p+1} en a compté $3C/4$. La NLD est parfois donnée en pour-cent de la valeur moyenne soit, dans l'exemple, 50%. On comprend ainsi pourquoi une telle non linéarité n'est pas acceptable pour les mesures statistiques que sont les mesures en physique nucléaire ; des pics parasites risquent d'apparaître sur les histogrammes. Pour améliorer cette non linéarité, une méthode statistique de correction a été mise au point et porte le nom d'échelle glissante.

II.3.1.2.2 - La correction par échelle glissante.

La technique consiste à faire en sorte que les marches de la caractéristique de transfert du CAN soient vues statistiquement comme étant de largeur identique ou presque. Avant chaque conversion un compteur est incrémenté (figure 38), le mot binaire issu de celui-ci est additionné, via un CNA, à la tension analogique V_e à numériser.

Figure 38 - Correction de la NLD - l'échelle glissante.



Après conversion, le même mot binaire issu du CNA est soustrait du résultat de la numérisation provenant du convertisseur analogique-numérique à corriger. Ainsi, pour une même tension analogique à convertir, des canaux différents du CAN sont utilisés permettant de moyenner la largeur des marches.

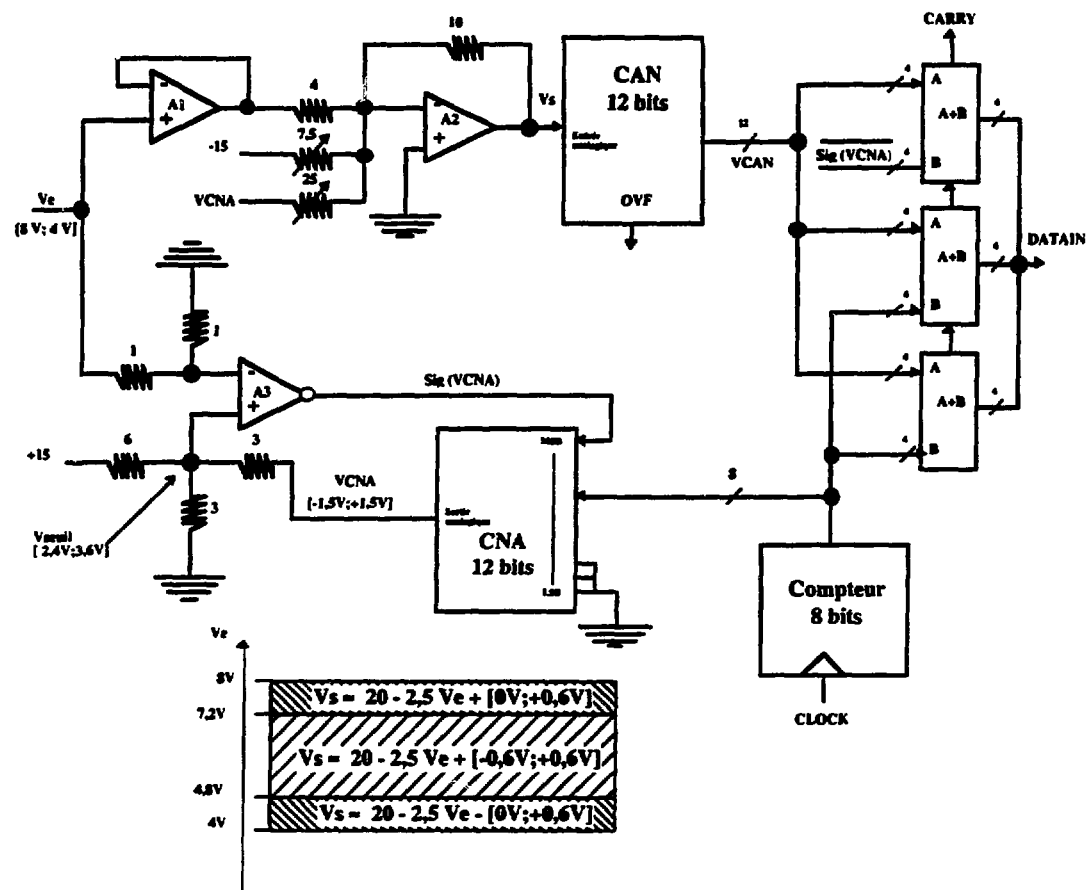
Des essais [TRI 87] ont mis en évidence qu'une correction suffisante est obtenue par l'utilisation d'un compteur 8 bits attaquant un CNA d'une précision au moins équivalente à 12 bits.

La correction précédemment décrite fait apparaître un problème :

- la tension issue du CNA est toujours additionnée à la tension analogique à coder limitant ainsi le domaine de variation de V_e (exemple : avec le système présenté figure 38 et pour un CAN 12 bits travaillant à une tension maximale de 10 Volts, la tension maximale d'entrée vaut : $V_{e\max} = 10 - 2,44 \cdot 10^{-3} \cdot 2^8$ soit $V_{e\max} = 9,34$ Volts).

Afin de remédier à cette limitation, un nouveau système a été mis au point [XIA 87]. Sur la figure 39 nous avons représenté le schéma de principe de l'échelle glissante que nous avons mis en œuvre pour le codeur de charge.

Figure 39 - Les améliorations de l'échelle glissante.



La tension V_e issue d'un intégrateur via un multiplexeur analogique peut varier de 8 à 4 Volts. V_e vaut 8 Volts s'il n'y a pas eu d'impulsion et 4 Volts si la charge maximale a été appliquée sur l'entrée du codeur.

Le comparateur A3 figure 39 permet de déterminer le signe de l'opération analogique réalisée, sur A2, avant la conversion analogique-numérique ainsi que le signe de l'opération logique opposée effectuée après conversion :

- si $V_e / 2$ est inférieure à V_{seuil} , le comparateur A3 génère un niveau logique "0" ($\text{sig}(V_{\text{CNA}})$) sur le bit de poids fort (MSB) du CNA signifiant que la tension analogique V_{CNA} sera additionnée à la tension d'entrée. Après conversion par le CAN, une soustraction logique est alors effectuée.
- si par contre la tension $V_e / 2$ est supérieure à V_{seuil} , le MSB du CNA est "1", la tension V_{CNA} sera soustraite à V_e . Après conversion analogique-numérique, une addition logique est effectuée.

La correction, dont nous venons de décrire le principe, permet d'améliorer considérablement la linéarité différentielle tout en gardant une dynamique maximale au niveau de la tension V_e . Elle n'est cependant pas parfaite ; un seuil fixe placé sur le comparateur A3 engendre un pic ou un trou parasite au milieu de la gamme de conversion. Ce phénomène prend son origine au changement de signe du comparateur A3 qui engendre un changement de signe de la tension analogique générée par le CAN.

Pour supprimer ce défaut, la technique que nous avons imaginée consiste à faire en sorte que ce seuil ne soit pas fixe. Pour cela, une fraction de la tension générée par le CNA vient le faire évoluer.

Le système constitué du comparateur A3 et du CNA étant alors un système bouclé (la sortie de A3 est envoyée sur le MSB du CNA et la sortie du CNA vient agir sur son seuil), il convient de montrer que celui-ci est stable :

Considérons une tension $V_e = 5$ Volts et $V_{\text{CNA}} = 0$ ($V_{\text{seuil}} = 3$ V).

Au niveau du comparateur A3 :

$$V_e / 2 < V_{\text{seuil}} \quad (24)$$

$\Rightarrow \text{Sig}(V_{\text{CNA}}) = 0$ (la tension V_{CNA} est alors positive).

L'expression de la tension V_{seuil} est la suivante :

$$V_{\text{seuil}} = 3 + \frac{2 \cdot V_{\text{CNA}}}{5} \quad (25)$$

—> V_{seuil} augmente renforçant la condition (24) de blocage de A3.

Les 12 bits issus de la conversion analogique-numérique sont envoyés sur un additionneur (ces 12 bits sont en logique négative). Les 8 bits du compteur sont connectés sur les bits de poids faibles de l'additionneur et les 4 bits haut de ce dernier reçoivent le signal $\text{Sig}(V_{\text{CNA}})$ complémenté qui permet de définir le signe de l'opération logique effectuée : addition ou soustraction.

Le montage tel que nous venons de le présenter engendre un problème pour les valeurs en dépassement (en haut et en bas de la gamme). En effet, prenons une tension V_e en saturation $V_e = 4 \text{ V}$. La tension V_s envoyée sur le CAN (tableau de la figure 39) prend une valeur appartenant à l'intervalle suivant :

$$V_s = 20 - 2,5 \cdot V_e - [0 ; 0,62] \quad (26)$$

soit $V_s \in [10 ; 9,38] \text{ Volts}$

Ce calcul fait apparaître que le bit de dépassement (OVF), généré par le CAN quand $V_s = 10 \text{ V}$ et plus, ne peut être utilisé. Dans le cas précédent il ne sera émis que pour $V_s = 10 \text{ V}$ alors que pour tout l'intervalle il y a dépassement. Une analyse laborieuse du système complet montrerait de plus que dans ce cas les données (DATAIN) sont erronées. Pour corriger ce défaut, un traitement logique est réalisé sur les 12 bits issus de l'additionneur (DATAIN est en logique négative). Pour cela, deux signaux sont utilisés : CARRY qui représente la retenue de l'additionneur ainsi que $\text{Sig}(V_{\text{CNA}})$ issu de la comparateur A3 :

- Si $\text{CARRY} = \text{Sig}(V_{\text{CNA}}) = 0$ —> (dépassement) : $\text{DATAOUT} = \text{FFF}_h$
- Si $\text{CARRY} = \text{Sig}(V_{\text{CNA}}) = 1$ —> (donnée nulle) : $\text{DATAOUT} = 0$
- Si $\text{CARRY} \neq \text{Sig}(V_{\text{CNA}})$ —> (logique positive): $\text{DATAOUT} = ! \text{DATAIN}$

L'expression de l'opération effectuée sur la donnée DATAIN, sauvegardée en logique positive en mémoire, est la suivante :

$$\text{DATAOUT} = (\text{CARRY} \cdot \neg \text{Sig}(\text{VCNA}) + \neg \text{CARRY} \cdot \text{Sig}(\text{VCNA})) \cdot \neg \text{DATAIN} + \neg (\text{CARRY} + \text{Sig}(\text{VCNA})) \quad (27)$$

"!" est l'opérateur complément logique.

Des spectres mettant en évidence la correction réalisée avec ce système seront présentés dans la suite de cette thèse.

Remarque :

Le réglage de l'échelle glissante consiste à attaquer le codeur de charge avec une tension constante, à convertir un grand nombre de fois cette tension et à tracer le spectre obtenu. Elle permet d'effectuer un premier test de bon fonctionnement du codeur. Sur la figure 39, nous avons représenté le principe de cette correction. Deux potentiomètres ont été représentés, l'un pour le réglage des termes de la relation linéaire permettant de passer d'une variation de [8 V ; 4 V], en sortie d'intégrateur, à une variation de [0 V ; 10 V] en entrée du convertisseur analogique numérique. L'autre potentiomètre permet de régler la fraction de la sortie du CNA que l'on additionne à l'impulsion d'entrée à convertir. Un mauvais réglage du deuxième potentiomètre se traduit par un spectre large.

II.3.1.3 - Le séquençement de la conversion.

Le séquençement de la conversion analogique-numérique et du stockage en mémoire est réalisé à l'aide de trois PGAs (composants de la série 3000 du fabricant XILINX : XC3042PGA84 (ANNEXE C)) [XIL 89] : RAZINT, DECODADR et SEQCOD (figure 29). Il convient, avant de décrire le rôle de chacun de ces PGAs, de rappeler que nous avons choisi d'utiliser uniquement deux convertisseurs analogique-numérique. Pour des raisons de coûts mais aussi d'emplacement restant disponible sur la carte mère, l'option d'un convertisseur par voie n'a pu être retenue. Un premier convertisseur sera chargé de traiter les signaux issus des intégrateurs à grand gain tandis que l'autre traitera les signaux des intégrateurs à petit gain.

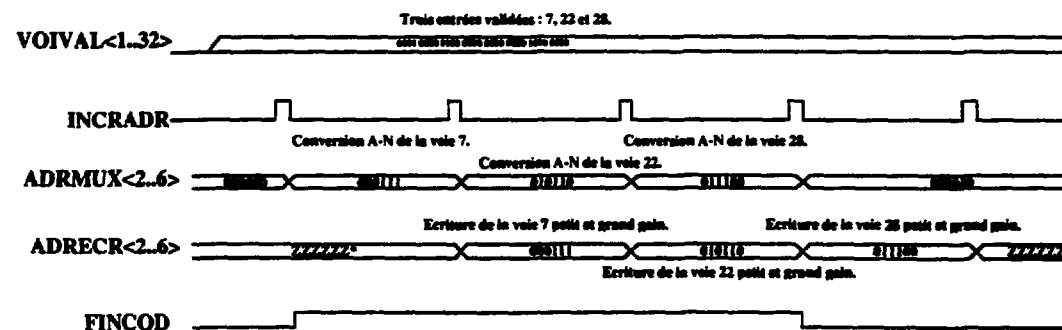
II.3.1.3.1 - Le composant programmable (PGA) RAZINT.

La remise à zéro individuelle (RAZVOI(i)) des voies déclenchées mais non validées (cf : Le séquençement d'un double intégrateur "SEQRAM") est réalisée par l'élément **RAZINT**. En fin de fenêtre d'intégration (GATE(i)) si la voie N°i n'a pas été validée, la remise à zéro de cette voie est alors effectuée. C'est dans ce PGA que l'on peut aussi, à l'initialisation, masquer certaines voies pour que leur cycle "déclenchement-intégration-remise à zéro" ne puisse pas avoir lieu.

II.3.1.3.2 - Le composant programmable (PGA) DECODADR.

Le deuxième PGA, **DECODADR**, reçoit le vecteur 32 bits des voies validées : VOIVAL<1..32>. Après chaque impulsion du signal appelé INCRADR, il est chargé de se positionner successivement sur la première voie validée qu'il rencontre et de générer l'adresse correspondante (ADRMUX) servant à sélectionner, au niveau des multiplexeurs analogiques, les signaux V_{Sgi} et V_{Spi} . Simultanément, il doit aussi générer l'adresse permettant d'écrire (ADRECR) la donnée sélectionnée par ADRMUX précédent. Sur la figure 40, nous avons représenté le chronogramme de DECODADR dans le cas où trois entrées ont été validées.

Figure 40 - Chronogramme de DECODADR.



* : Les lignes sont en sortie Haute Impédance.

II.3.1.3.3 - Le composant programmable (PGA) SEQCOD.

Le troisième PGA, appelé **SEQCOD**, est chargé de générer tous les signaux nécessaires au séquençement de la conversion et au stockage en mémoire des données (figure 41) :

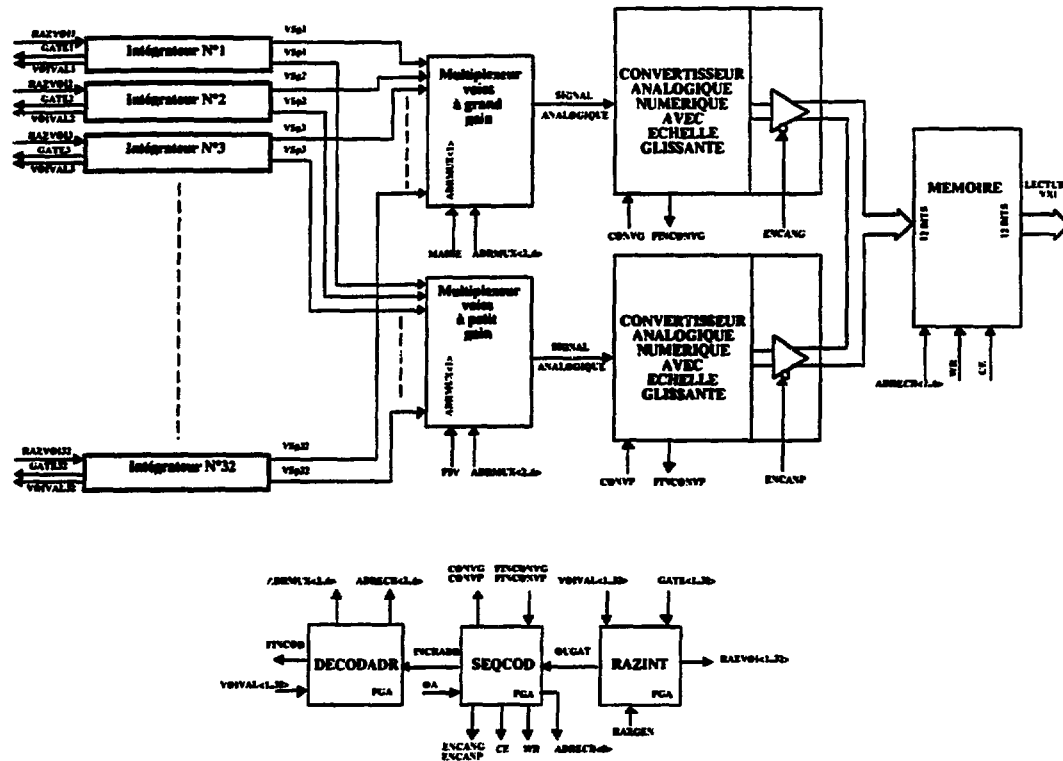
- **CONVG** et **CONVP** : ces signaux sont envoyés aux deux CANs traitant respectivement les signaux issus des intégrateurs à grand et petit gain. Ils ont pour rôle d'initier le début de conversion.

- **FINCONVG** et **FINCONVP** : ces signaux sont générés par les convertisseurs analogique-numérique. Ils indiquent que la conversion est terminée.

- **ENCANG** et **ENCANP** : le bus de données 12 bits étant partagé entre les sorties à grand et à petit gain (figure 41), cette commande de mise en haute impédance individuelle de ceux-ci permet d'éviter des conflits.

- **CE**, **WR** et **ADRECR<1>** : après avoir été converties, les données doivent être sauvegardées en mémoire. **CE** (chip enable) permet d'autoriser une opération sur les mémoires. **WR** (write) sélectionne une écriture ou une lecture en mémoire. **ADRECR<1>** est le bit bas de l'adresse d'écriture, il permet de différencier la donnée grand gain de la donnée petit gain.

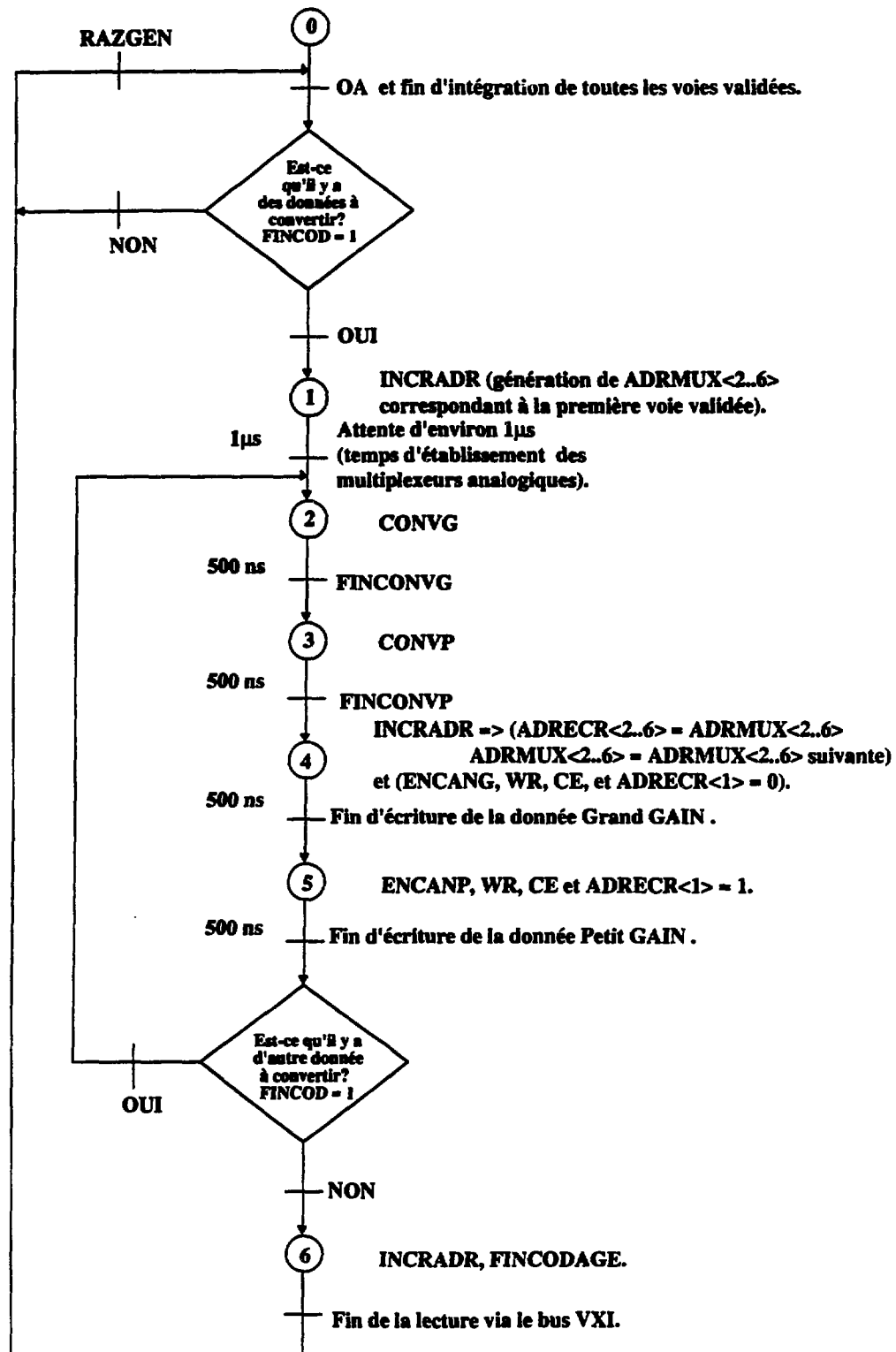
Figure 41 - Synoptique de la conversion A-N.



Sur l'organigramme de la figure 42, nous avons représenté les principales étapes d'un cycle de conversion. Celui-ci commence quand les deux conditions suivantes sont réunies : réception de l'OA (confirmation d'acceptation de l'événement aussi appelé acceptation lente) et fin d'intégration de toutes les voies validées. Sur une impulsion de INCRADR (figure 40), l'adresse de la première voie validée est générée vers les multiplexeurs analogiques. Une attente d'environ 1 μ s est nécessaire avant de lancer la première conversion ; elle correspond au temps d'établissement des multiplexeurs utilisés. Afin que la conversion se déroule dans de bonnes conditions, nous avons choisi de ne rien faire fonctionner sur le codeur pendant chaque étape de conversion. C'est pourquoi la conversion des voies à grand et à petit gain d'une même entrée a lieu successivement et non simultanément. Ces deux données sont ensuite stockées dans une mémoire du codeur. Cette opération a été volontairement rallongée (2 . 500 ns alors que moins de 100 ns seraient nécessaires pour le type de mémoire que nous utilisons) pour permettre au multiplexeur de s'établir sur la voie analogique suivante.

Quand toutes les entrées validées ont été converties et stockées en mémoire, le signal FINCOD est positionné. Le système d'acquisition, après avoir effectué la lecture et le stockage sur bandes magnétiques de toutes les données, générera une remise à zéro de tous les codeurs (RAZGEN). Le temps moyen de conversion et de stockage en mémoire d'un couple de données (petit et grand gain) est donc d'environ 2 μ s.

Figure 42 - Organigramme de la conversion A-N.



II.3.1.4 - L'initialisation du codeur.

Avant de charger les différents registres nécessaires au fonctionnement des modules d'un châssis, il est indispensable de définir l'espace mémoire de chacun d'eux. Il existe dans la norme VXI des registres spécifiques de configuration, accessibles en mode A16⁷ (tableau 9). La norme VXI [TEK 89] permet de réaliser une allocation dynamique de la mémoire des modules d'un châssis, par opposition à une allocation statique rencontrée notamment dans la norme VME. Pour cette dernière, l'attribution de l'adresse logique de chaque module est réalisée lors de l'installation de ceux-ci dans le châssis : huit commutateurs par module sont utilisés pour répartir de façon statique cet espace mémoire. Le mode d'allocation dynamique du VXI permet d'allouer, à partir du gestionnaire de ressources, l'adresse logique de chaque module. L'identification de leur emplacement dans le châssis et du type module, autorise de façon souple l'initialisation de tout un système d'acquisition.

Avant d'aborder la description de cette première étape de l'initialisation, il est nécessaire de préciser différents points. Sur la figure 23, nous avons représenté les connexions des différentes lignes VXI. Les lignes MODID(i) de détection de présence ou non d'un module à un "slot" donné, fonctionnent ainsi : si l'emplacement N° i est vide, une résistance de "pull-up" de 16 k Ω met cette ligne à un niveau un (5 Volts). La présence d'un module est détectée par la mise à zéro de cette ligne (résistance de "pull-down" de 825 Ω). Au niveau du "slot 0" (le contrôleur de châssis VXI), cette ligne est bidirectionnelle ce qui permet à ce dernier de la piloter. Pour décrire l'allocation de la mémoire, il faut savoir par ailleurs que dans le contrôleur de châssis, un registre, défini à l'adresse 20_{Hexa} en mode A16, permet de connaître l'état des 13 lignes individuelles MODID(i) du châssis.

⁷ - A16 ou adressage court est un mode d'accès où seuls les 16 bits bas du bus adresse sont décodés [PET 88].

Tableau 9 : Les registres accessibles en mode A16.

Adresse Hexadécimale	Donnée	
ØØ	lecture ----> écriture ---->	- Identificateur du constructeur du module. - Adresse logique ⁸ sur 8 bits si le mode sélectionné est le mode dynamique (cette écriture n'est possible que si la ligne MODID(i) = 1).
Ø2	lecture ---->	- Type du module.
Ø4	lecture ----> écriture ---->	- Bit 14 = état de la ligne MODID du module. - Sélection du mode A16, A24 et A32.
Ø6	lecture ----> écriture ---->	- "Offset" ou adresse de base ⁹ pour la lecture des registres de contrôle et d'acquisition des données.

Sur chaque module VXI, un jeu de huit commutateurs doit être installé. Ceux-ci définissent un nombre binaire N compris entre Ø et 255. Le code Ø est réservé au "slot Ø", le code 255 spécifie que l'accès aux registres VXI du module dont l'adresse logique est déterminée de façon dynamique et enfin, un code compris entre 1 et 254 est utilisé pour un adressage statique (cette valeur définissant ainsi l'adresse logique des registres VXI, du module sélectionné).

⁸ - L'adresse logique permet de distinguer les deux modes d'allocation de la mémoire (statique ou dynamique en A16) et constitue les bits 12 à 6 de l'adresse des "registres VXI".

⁹ - L'"offset" ou adresse de base constitue 8 ou 16 bits de l'adresse des registres accessibles respectivement en mode A24 et A32.

Dans le mode d'allocation dynamique de la mémoire, nous pouvons distinguer quatre étapes pour affecter l'adresse logique des modules d'un châssis :

Première étape :

- détermination du nombre et de la localisation des modules se trouvant dans le châssis.

Deuxième étape :

- détermination du nombre de modules définis en allocation statique et identification des adresses correspondantes.

Troisième étape :

- détermination, pour les modules définis en adressage statique, du couple (emplacement-adresse statique).

Quatrième étape :

- allocation des adresses logiques de tous les modules définis en adressage dynamique (le choix de ces adresses logiques doit se faire parmi $N = 1$ à 254 en excluant toutes les adresses occupées par des modules définis par un adressage statique).

Afin de décrire, à l'aide d'un seul exemple les deux modes d'allocation, nous allons considérer que dans un châssis, deux modules sont définis en allocation dynamique ($N = 255$) et que deux autres sont définis en statique (N est égal respectivement à 3 et 241) (figure 43).

Deuxième étape :

Cette deuxième étape consiste à déterminer le nombre de modules dont les N commutateurs définissent une allocation statique ($N \in [1 ; 254]$) ainsi que la valeur de ces adresses logiques. Cette étape ne va pas nous permettre de connaître les modules configurés en allocation statique. Nous allons réaliser des opérations d'écriture à l'adresse 00_{Hexa} et faire varier l'adresse logique de $i = 1$ à 254. Les adresses d'écriture sont alors les suivantes :

Tableau 11 : Ecritures dans les registres 00_h permettant de détecter les modules présents dans le châssis.

Adresse logique variant de 1 à 254										Registre 00					
bit 15	bit 14	bit 13	bit 12	bit 11	bit 10	bit 9	bit 8	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
1	1	x	x	x	x	x	x	x	x	0	0	0	0	0	0

Si l'adresse générée ne correspond à aucun module, une erreur de bus surviendra au bout d'un certain temps. Par contre, si l'adresse à laquelle on effectue l'écriture correspond à un module du châssis, celui-ci répondra DTACK [COU 84]. Ainsi, dans notre exemple, deux modules répondront DTACK, l'un pour l'écriture du registre 00 à l'adresse logique 03 (l'adresse $A16 = C0C0_{Hexa}$) et l'autre à l'adresse logique 241 (l'adresse $A16 = FC40_{Hexa}$).

Troisième étape :

Cette étape va nous permettre de déterminer à quels modules correspondent les adresses statiques reconnues précédemment. Pour réaliser cette étape, le "slot 0" va activer la ligne MODID(i) du premier slot occupé par un module et désactiver toutes les autres lignes MODID(i) ; dans notre exemple, la ligne MODID(3) sera activée. On doit ensuite effectuer des lectures "status" (registre 04) aux adresses statiques reconnues dans l'étape 2 (adresses 3 et 241). Les deux lectures se feront aux adresses suivantes :

Tableau 12 : Lectures des registres 04h permettant de localiser les modules présents dans le châssis.

Adresse logique 3 ou 241										Registre 04					
bit 15	bit 14	bit 13	bit 12	bit 11	bit 10	bit 9	bit 8	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
1	1	x	x	x	x	x	x	x	x	0	0	0	1	0	0

Si, à l'une des deux lectures "status" le bit 14 est positionné à 1, cela signifie qu'au slot N°3, le module est en allocation statique puisque c'est la ligne MODID(3) qui a été activée et que le bit 14 de chaque module représente l'état de sa ligne MODID(i). L'adresse statique 3 a été localisée, elle se trouve en slot N°3. Ensuite, il faut désactiver MODID(3) et activer MODID(5). Une lecture "status" à l'adresse 241 va révéler un bit 14 = 0 puisque ce n'est pas le module du slot 5 qui possède l'adresse logique 241 et que le module qui répond à cette lecture (le module du slot 8) n'a pas sa ligne MODID(i) positionnée à un. L'opération est renouvelée pour le slot N°8 qui va nous permettre de détecter l'emplacement du deuxième module défini en mode d'allocation statique à l'adresse 241.

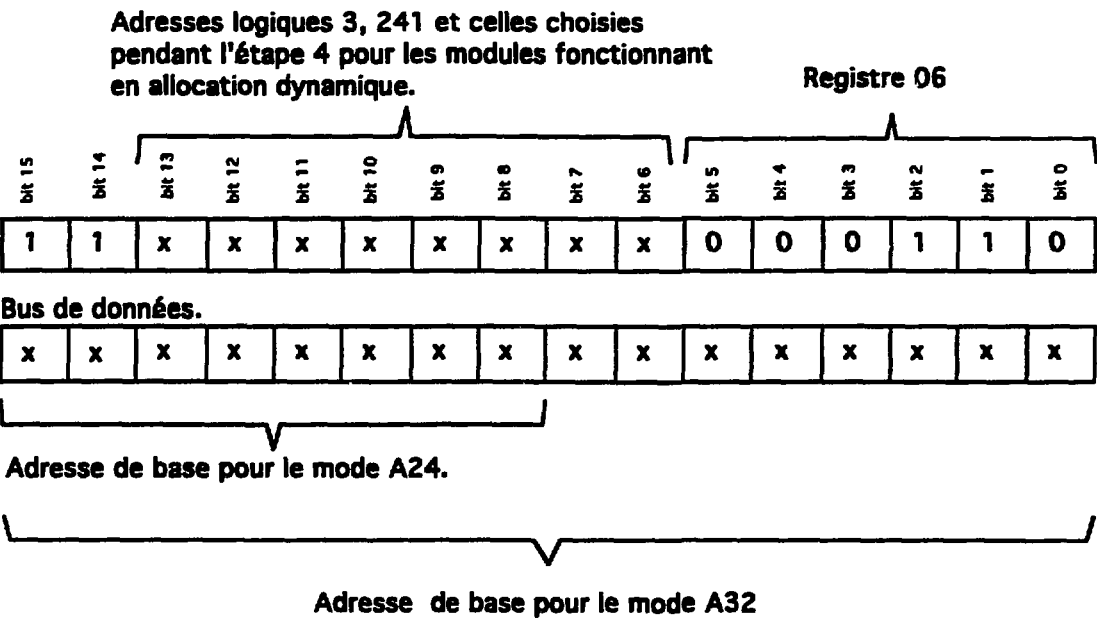
Quatrième étape :

Il ne nous reste plus qu'à allouer des adresses logiques aux modules dont $N = 255$ (allocation dynamique). Celles-ci devront être prises aux adresses logiques disponibles (c'est-à-dire de 1 à 254 excepté 3 et 241 qui sont déjà utilisées par les deux modules définis en statique). Pour écrire les adresses dynamiques des modules se trouvant aux slot 5 et 11, il faut, pour l'autoriser, positionner la ligne MODID(i) du module auquel on désire accéder. Ainsi l'écriture de l'adresse logique choisie est-elle autorisée. C'est en écriture, dans le registre 00 du module, que s'affecte cette adresse logique.

Après avoir alloué, en statique ou en dynamique, les adresses permettant d'accéder aux "registres VXI" en mode A16, il ne reste plus qu'à définir les adresses de base ou "offset" (ADR0) permettant, en mode A24 ou A32, d'accéder aux registres de

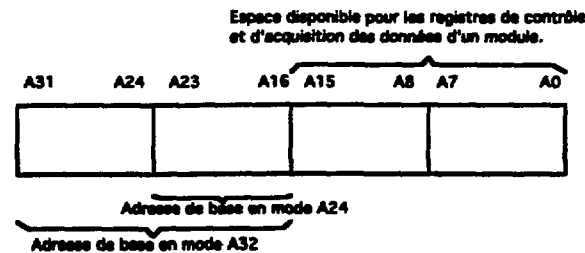
contrôle et aux données [TRI 92]. Cette adresse de base est écrite dans le "registre VXI" à l'adresse 06 de chacun des modules. En mode A24, l'adresse de base doit se trouver sur les bits D8 à D15 du bus de donnée et sur les bits D0 à D15 en mode A32.

Tableau 13 : Ecritures dans les registres 06_h des adresses de base des différents modules.



Pour terminer l'initialisation des modules en général et du codeur de charge QDC6412V en particulier, il reste à écrire différents registres de contrôle propres à chacun d'eux. Ces registres peuvent être accessibles en mode A24 ou A32 à l'adresse de base ADR0 définie dans l'étape précédente.

Tableau 14 : L'espace disponible pour chaque adresse de base correspondant à un "slot" du châssis VXI.



La liste de ces registres spécifiques au QDC6412V est la suivante [TRI 92] :

- **Ecriture-lecture des labels des voies** : les sorties numérisées de chaque intégrateur peuvent être étiquetées lors de stockage en mémoire. Ces labels permettront de distinguer le petit du grand gain d'une voie d'un codeur, les différentes voies d'un codeur, les différents codeurs d'un châssis, les différents châssis d'un système d'acquisition...
- **Masquage des différentes entrées** : cette option permet d'interdire le fonctionnement d'une entrée intégratrice, une défaillance de celle-ci pouvant perturber le fonctionnement des autres...
- **Registre d'état** : dans celui-ci, nous pouvons choisir le mode de fonctionnement synchrone ou asynchrone du codeur, décider de lire ou de ne pas lire les données en dépassement (overflow)...
- **Différents registres permettent de définir, pour toutes les voies du codeur, la largeur de la fenêtre d'intégration, le retard au front montant du point de validation, la valeur du piédestal commun que l'on peut injecter à chaque intégrateur...**

II.3.1.5 - La lecture des données.

En fin de conversion-stockage de toutes les entrées validées du codeur, celui-ci active la ligne FINCODAGE (ou CODAGE*). Cette ligne passe au niveau logique "0" sur le signal OA définissant ainsi le début de conversion et repasse donc à "1" en fin de codage. Elle est envoyée sur le fond de panier VXI sur la ligne TTLTRG(0). Une sortie collecteur ouvert permet de réaliser un "ET" logique câblé des signaux CODAGE* des différents codeurs se trouvant dans le châssis. Ainsi, vue du "ressource manager" (ou "slot 0"), cette ligne indique que l'ensemble des codeurs a terminé la conversion-stockage de toutes leurs voies validées. La lecture de toutes ces données peut alors s'effectuer. Un composant programmable (PGA) appelé CTLMEM est dédié à cette tâche. Différents modes de lecture sont possibles : le mode A24 ou A32 en D32 [PET 88] et le mode ROCO¹⁰

- Le composant programmable (PGA) CTLMEM.

Quel que soit le mode de lecture envisagé, en fin de codage de toutes les voies validées du codeur, à la réception du signal CODAGE*, CTLMEM positionne le signal LECTURE*. Celui-ci, envoyé sur la ligne TTLTRG(1) du fond de panier VXI, annonce que le codeur est prêt à être lu. Tout comme la ligne CODAGE*, une sortie collecteur ouvert assure un "ET" logique câblé des différentes lignes LECTURE* des codeurs se trouvant dans le châssis. En fin de lecture, ce signal repasse automatiquement au niveau logique "1" annonçant que le codeur n'a plus de donnée à fournir. Nous reparlerons de ces deux lignes envoyées sur le bus VXI car l'utilisation de celles-ci peut permettre une maintenance du système et l'optimisation de la lecture des données. Le composant CTLMEM travaille en deux temps : pendant la période de codage, il piège les adresses ADRECR générées par DECODADR pour le stockage des données dans la mémoire du codeur ; à partir de ces adresses, il reconstruit de façon interne le "bit pattern". Dans un deuxième temps, à chaque fois qu'une lecture à l'adresse 98_{hexa} est initiée, il place sur le bus, par décodage du "bit pattern" et en commençant par l'entrée d'indice le plus fort, la donnée validée qui n'a pas encore été lue.

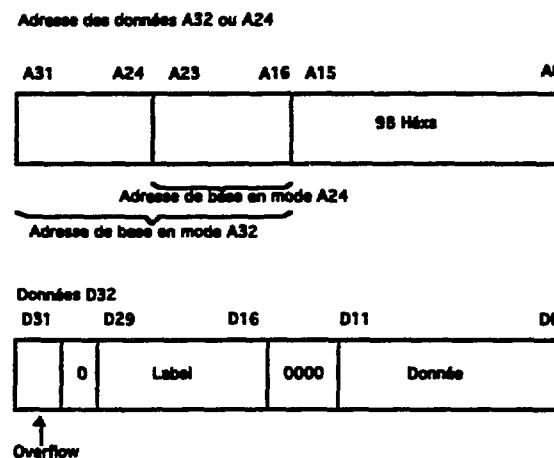
¹⁰ - ROCO (ReadOut COntroller) est un mode de lecture rapide développé pour le projet EUROGAM [ALE 90].

Quelque soit le mode de lecture et vues du "ressource manager", les données représentant l'intégration des courants sur les différentes voies validées se trouvent à la même adresse :

La donnée est composée d'un mot de 32 bits :

- les bits D0 à D11 représentent la valeur numérique de la charge d'une voie d'intégration.
- les bits D16 à D29 sont réservés pour étiqueter chacune des voies.
- le bit D31 spécifie si la donnée est en dépassement (overflow) ou non.

Tableau 15 : Adresse de lecture de la donnée.



II.3.1.5.1 - Le mode de lecture A32 ou A24 en D32.

La lecture suivant ce mode peut s'effectuer de deux façons. Une lecture préalable du compteur (l'adresse de lecture de ce compteur est 90_{hexa}) de voies validées permet au processeur dédié à la lecture de connaître le nombre d'opérations de lecture qu'il devra effectuer ; si N est la valeur du compteur, 2 fois N lectures seront nécessaires puisque pour une entrée on a toujours deux données issues d'un double intégrateur (grand et petit gain). L'autre façon de réaliser la lecture des données d'un codeur consiste à effectuer des lectures jusqu'à ce que la donnée lue soit égale à FFFFFFFF_{hexa} (D0 à D31) indiquant qu'il n'y a plus de donnée à lire.

II.3.1.5.2 - Le mode de lecture ROCO.

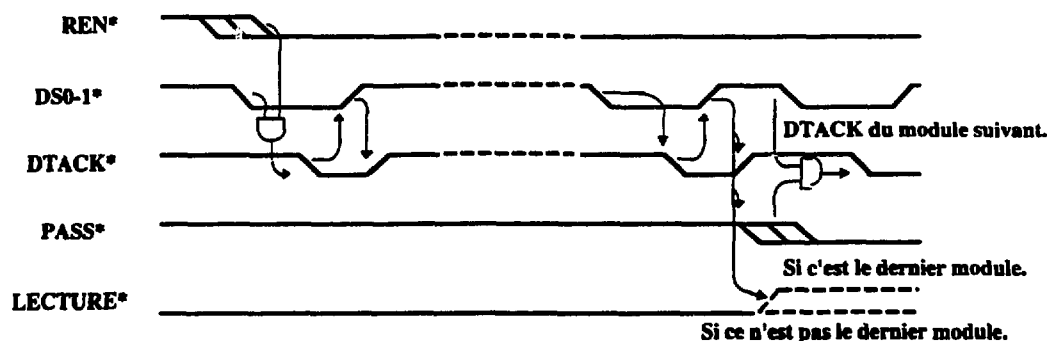
La lecture des données par le processeur maître s'effectue via un bus parallèle **VICbus**¹¹ reliant les différents châssis **VXI**. Pour ce faire, un certain nombre d'opérations sont à effectuer : lecture de compteur, lecture des données... avec pour chacune d'elles tout un cycle **VME** d'adressage. Le temps nécessaire à une lecture par le processeur maître via le **VICbus** est de l'ordre de quelques microsecondes. Le mode de lecture **ROCO** a été conçu pour limiter le temps mort occasionné par ces lectures.

Imaginons que le "slot Ø" puisse gérer une lecture type **ROCO** ; pour cela, il devrait disposer de mémoires tampons dans lesquelles seraient stockées les données lues sur les codeurs du châssis qu'il gère. De plus il devrait être capable d'initier un cycle de lecture **ROCO** que nous allons décrire.

Une telle opération nécessite l'utilisation de divers signaux du bus **VME** et principalement : **AMØ-AM5** (Adresse Modifier = 1B_{hexa} pour le mode de lecture **ROCO**), **DATCK** (**DATA aCKnowledge**), **DSØ** et **DS1** (**Data Strobe**) [**PET 88**] ainsi que deux signaux spécifiques au mode de lecture **ROCO**. Ces deux signaux, nommés **REN*** et **PASS***, sont envoyés respectivement sur les lignes **LBUSA(4)** et **LBUSC(4)** du bus local **VXI** [**TEK 89**]. Le contrôleur de lecture en mode **ROCO** scrute la ligne **LECTURE*** : quand ce signal passe au niveau logique "Ø", c'est que tous les codeurs se trouvant dans le châssis sont prêts à être lus et il positionne alors le signal **REN*** au niveau logique "Ø". Le bus local **LBUS** est un bus câblé en "daisy chain", le module se trouvant à côté du "slot Ø" reçoit le signal **REN*** ; s'il n'a pas de donnée à lire, il transmet aussitôt ce signal, sur la ligne **PASS*** au module voisin. S'il a des données à lire, il ne le transmet pas et c'est avec lui que va converser le contrôleur de lecture. Le protocole de transfert de données est alors le suivant :

¹¹ - **VME Interconnect Crate.**

Figure 44 - Chronogramme de la lecture ROCO.



Le module qui reçoit le signal REN* ainsi que les signaux DS0-1* met sur le bus la première donnée validée et positionne DTACK*. Le contrôleur chargé d'effectuer la lecture en mode ROCO, à la réception de DTACK*, remonte les lignes DS0-1* indiquant que la donnée a bien été prise en compte. Le codeur remonte alors le signal DTACK* et attend une nouvelle transition des lignes DS0-1* pour envoyer la donnée suivante. Quand le codeur n'a plus de donnée à envoyer sur le bus, il transmet le signal PASS* au module voisin qui effectue alors le transfert de ses données validées. Le déclenchement d'une interruption par la ligne LECTURE* peut permettre d'indiquer au contrôleur que les lectures des données des différents codeurs sont terminées. Cette première phase qui consiste à regrouper dans une FIFO toutes les données validées d'un châssis peut prendre quelques centaines de nanosecondes pour chaque transfert [ALE 91]. Comme dans le mode de lecture ROCO, la totalité du bus d'adresses n'est pas gérée par les codeurs ; une mémoire, au niveau du contrôleur de lecture ne peut pas être utilisée. Seuls les bits A2 à A5 sont utilisés pour numéroté les événements stockés dans la FIFO du contrôleur de lecture. A la fin de cette première phase, le "trigger" peut alors être réarmé dans l'attente d'un nouvel événement. Un bus de lecture indépendant peut alors transférer les données, depuis les contrôleurs de lecture ROCO des différents châssis VXI vers le système de sauvegarde sur bandes magnétiques.

Dans ce mode de lecture, la première étape qui consiste à charger les données des codeurs vers le contrôleur ROCO s'effectue en parallèle sur chaque châssis et non en série comme c'est le cas pour une lecture type A32 ou A24. La lecture préalable du compteur de chaque module, ou la lecture jusqu'à ce que le code FFFFFFFF_{hexa} indiquant qu'il n'y a plus de donnée à lire soit rencontré, n'est plus nécessaire puisque c'est chaque module qui gère cette fin de lecture en passant la main à son voisin.

- Pourquoi le mode de lecture ROCO n'a-t-il pas été retenu?

Le mode de lecture ROCO a été utilisé pour le projet EUROGAM [ALE]. Le taux moyen d'événements est d'environ 10^5 par seconde, il est limité par le "trigger" à 10^4 événements par seconde. Chaque événement accepté génère la lecture d'environ 50 paramètres. Une lecture classique (A32 ou A24) demande actuellement pour INDRA environ 4 μ s. Ce type de lecture aurait donc limité le nombre d'événements lus à 5000 par seconde (le temps de conversion et de stockage des codeurs vient diminuer ce nombre).

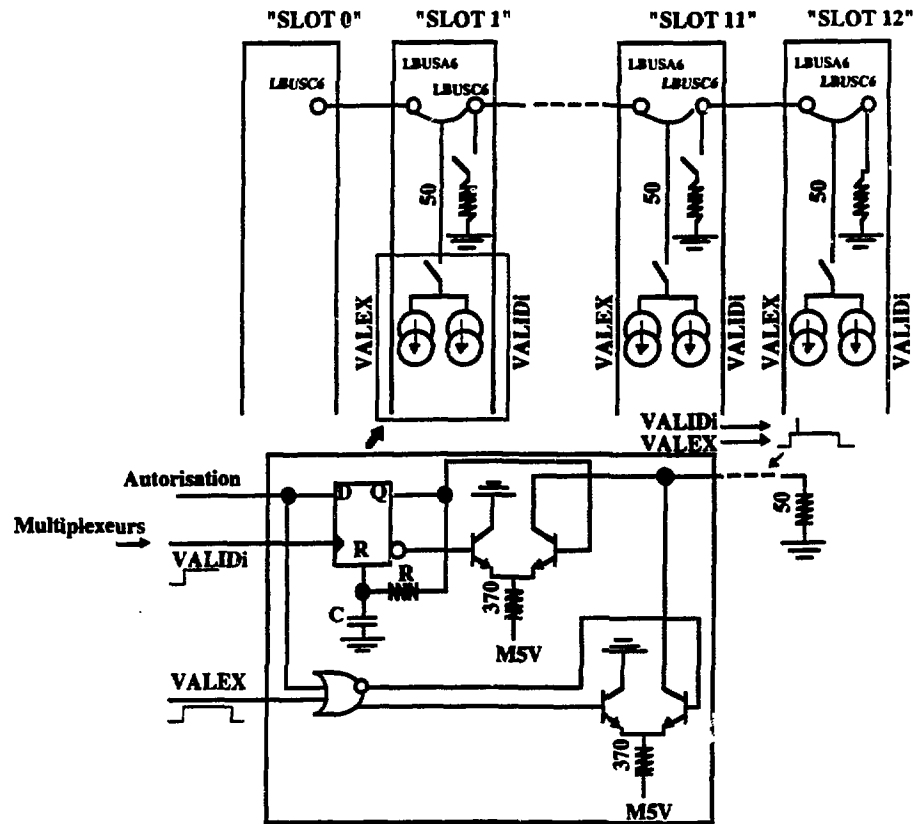
Pour INDRA, le taux d'événements moyen est de 1000 par seconde et la multiplicité est d'environ 50 détecteurs touchés soit 100 paramètres (petit et grand gains pour les codeurs Silicium, voie lente et voie rapide pour les détecteurs "phoswich"...). En fait, à chaque détecteur touché est associée au moins une voie temps. Il y a donc lecture de plus de deux cents paramètres par événement. Une lecture de type A32 ou A24 est donc suffisante.

II.3.1.6 - La visualisation des signaux.

Différentes lignes VXI sont utilisées pour la visualisation à distance d'un certain nombre de signaux internes aux codeurs. La visualisation simultanée de signaux tels que VALEX et VALID(i) permet de contrôler leur bon calage temporel. Avec cette visualisation, on peut aussi effectuer, à distance, une première analyse de panne, la localiser (dans quel châssis, sur quel module, sur quelle voie?)... Trois groupes de lignes du fond de panier VXI sont affectés à cette visualisation :

- une ligne appelée **Contrôle Fenêtre** est envoyée sur le bus local LBUSA(5) et LBUSC(5) (connecteur P2 ligne A14 et C14). Par sommation de courant, on peut, pour une voie N°i d'un codeur, visualiser la position relative du point de validation VALID(i) par rapport à la fenêtre de validation VALEX générée par le "trigger".

Figure 45 - La sommation de courants pour la ligne contrôle fenêtre.



Les lignes LBUSA(i) et LBUSC(i) forment une "daisy chain". Les deux signaux que l'on désire visualiser sur celles-ci ont des fronts de commutation rapides (quelques nanosecondes), il est par conséquent nécessaire d'adapter ce bus qui a une impédance caractéristique 50 Ω afin qu'il n'y ait pas de réflexion. Seul le module se trouvant le plus à droite dans le châssis doit adapter la ligne ; cette opération est réalisée lors de l'initialisation du système d'acquisition. Chaque signal, VALEX ou VALID(i), si leur visualisation est autorisée, génère un courant d'environ 10 mA (figure 45).

- une ligne appelée **Mesure Tension** permet de visualiser, à distance, des signaux analogiques continus : V_{Seuil} et G_{Seuil} (cf : Le séquençement d'un double intégrateur : "SEQRAM"), P8V (le 8 Volts qui alimente les intégrateurs)... Cette ligne est envoyée sur le bus local LBUSA(6) et LBUSC(6) (connecteur P2 ligne A12 et C12). Il

103 / 104

s'agit de niveaux continus, il n'a donc pas été nécessaire d'adapter la ligne avec une résistance de 50 Ω .

- un troisième groupe de lignes appelées **Inspection Logique 1** et **Inspection Logique 2** envoyées respectivement sur les lignes ECLTRG(3) et ECLTRG(5) (c'est-à-dire les lignes A3 et A7 du connecteur P3 du fond de panier VXI) permettant la visualisation simultanée de deux signaux parmi :

- GATE<1..32> (fenêtres d'intégration des 32 voies d'un codeur).

- un cycle DEC-RAZ dont le front montant du signal représente l'un des 32 signaux DEC<1..32> et le front descendant représente soit le RAZVOI(i) correspondant, si l'entrée s'est remise à zéro elle-même, soit le signal RAZGEN s'il y a eu une remise à zéro générale.

- des signaux permettant de suivre le déroulement de la conversion analogique-numérique (FINCONVP et FINCONVG qui sont des signaux générés par les convertisseurs en fin de conversion) ainsi que les signaux CODAGE* et LECTURE* représentant respectivement la phase de codage et la phase de lecture.

105/106

CHAPITRE III

RESULTATS

Dans ce chapitre, nous allons tout d'abord décrire les montages et les procédures nous permettant de mesurer les caractéristiques principales définissant les performances du codeur de charge réalisé (caractérisation de l'entrée, linéarités, chronogrammes de fonctionnement) et discuter des solutions apportées pour limiter la puissance consommée par module. Nous montrons ensuite quelques résultats issus de l'utilisation du codeur de charge avec les détecteurs d'INDRA. Enfin, nous citerons un certain nombre d'améliorations qui peuvent être envisagées dans la perspective de la réalisation d'un codeur plus "universel", c'est-à-dire moins lié aux caractéristiques spécifiques d'INDRA.

III.1 - MESURE DES CARACTERISTIQUES ELECTRIQUES DU CODEUR.

Tous les calculs ayant conduit à des choix technologiques doivent, bien sûr, être confirmés par des mesures. L'objet de ce chapitre est la présentation de ces mesures, du matériel nécessaire aux tests ainsi que les méthodologies que nous avons employées. Certaines de ces mesures nous ayant amené parfois à faire des modifications, celles-ci seront décrites ainsi que les résultats des tests nous ayant permis de les valider.

III.1.1 - CARACTERISATION DE L'ENTREE ANALOGIQUE DE L'INTEGRATEUR.

La caractérisation des entrées analogiques du codeur de charge est une mesure importante qui doit permettre de déterminer si la réalisation est conforme au cahier des charges et si l'ensemble amplification-codeur pourra fonctionner de façon optimale.

III.1.1.1 - L'amplitude maximum des courants d'entrée.

Le courant maximal d'entrée est limité par deux composants. Sur la figure 34, nous voyons que l'impulsion analogique à intégrer transite par deux transistors : un transistor à effet de champ TE1 ainsi qu'un transistor bipolaire T5. C'est ce dernier qui va limiter le courant. Le constructeur donne comme courant de collecteur : $I_{c_{max}} = 25 \text{ mA}$; nous obtenons donc, pour le courant I_e d'entrée du double intégrateur, une valeur $I_{e_{max}} = 2 \cdot 25 \text{ mA}$. L'impédance d'entrée de ce double intégrateur étant de 50Ω , la

tension maximale d'entrée est donc de $V_{\text{emax}} = -2,5$ Volts. La caractéristique I_{cmax} du transistor, ainsi que P_{max} (la puissance maximale que peut dissiper le transistor), sont des valeurs moyennes. Dans notre cas, le courant I_c est un signal impulsionnel de niveau moyen très faible. La tension maximale déterminée précédemment n'est en fait qu'un ordre de grandeur. Néanmoins, à la suite d'essais, en faisant varier l'amplitude maximale des impulsions, depuis -1 Volt jusqu'à -4 Volts, nous avons constaté que la largeur des spectres mesurés augmentait. Ce phénomène n'est pas lié à un courant I_c trop important, mais plutôt à la sursaturation de la voie à grand gain. La porte d'intégration est commune aux deux voies (petit et grand gains). La sursaturation de la voie à grand gain entraîne la saturation du transistor T5 (figure 34), ce qui a pour effet de perturber la commande repérée P. En effet, la tension émetteur-base tendant à s'annuler, le montage différentiel qui aiguille l'impulsion à intégrer fonctionne alors dans une zone où il est très instable, produisant ainsi des disparités sur la largeur de la fenêtre d'intégration. L'utilisation de diodes permettant de limiter la sursaturation du transistor T5 de la voie à grand gain a permis d'éviter ce phénomène. Cette sursaturation dépend évidemment de l'amplitude maximale de l'impulsion, mais dépend aussi du temps d'intégration demandé ($\Delta V = (I \cdot T) / C$). Ce qui compte, ce n'est donc pas l'amplitude maximale des impulsions, mais la charge électrique à mesurer.

III.1.1.2 - La vitesse de balayage de l'entrée de l'intégrateur.

Ce paramètre représente la vitesse limite de variation du signal d'entrée, au delà de laquelle le système n'est plus capable de transmettre le signal en conservant cette vitesse. C'est un phénomène non-linéaire important qu'il convient de quantifier.

Pour mesurer la vitesse de balayage (le "slew rate") de l'étage d'entrée de l'intégrateur, nous avons fait varier le temps de montée de l'impulsion analogique et nous avons observé l'évolution de la sortie de l'étage différentiel d'entrée (potentiel du point S sur la figure 34).

Une visualisation simultanée à l'oscilloscope de l'entrée et de la sortie de l'étage d'entrée de l'intégrateur nous a permis de déterminer la limite au delà de laquelle le signal au point S ne suit plus la tension d'entrée. La mesure du temps de montée correspondant nous donne le "slew rate" du système. Des relevés effectués pour différentes valeurs de V_{emax} nous ont permis d'obtenir une valeur moyenne pour cette grandeur :

Slew rate = 55 V / μ s.
ou 1,1 mA / ns.

Une amélioration de ce "slew rate" aurait pu être obtenue en remplaçant le transistor à effet de champ (TE1 figure 34) par un transistor bipolaire de transconductance g_m plus importante [BEE 84] et [BOU 87].

III.1.2 - MESURE DES LINEARITES.

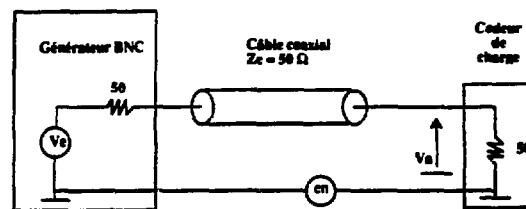
La linéarité intégrale ainsi que la linéarité différentielle sont des caractéristiques essentielles d'un codeur. Avant de décrire l'installation nécessaire à la mesure de chacune de ces caractéristiques, nous allons montrer l'importance d'attaquer le codeur de charge à l'aide d'une source de courant comme c'est le cas de l'amplificateur développé pour INDRA.

Sur la figure 46, nous avons représenté le générateur d'impulsions nous permettant de simuler les impulsions analogiques issues d'un amplificateur. Ce générateur peut être représenté par une résistance 50 Ω en série avec un générateur parfait de tension. Le bruit en tension e_n représente le bruit interne du générateur ainsi que les bruits apparaissant sur la ligne qui véhicule le signal jusqu'au codeur de charge (e_n inclut aussi les différences de masse qu'il peut y avoir entre la masse du générateur et la masse du codeur de charge).

- Caractéristiques du générateur d'impulsions BNC.

- dynamique : 0 à 10 Volts.
- impédance de sortie : 50 Ω .
- stabilité : ± 5 ppm / $^{\circ}$ C de la pleine échelle.
- linéarité intégrale : $\pm 0,005$ %.
- linéarité différentielle : $\pm 0,03$ %.
- résolution : 100 μ V.

Figure 46 - Attaque en tension ou attaque en courant.



L'expression du bruit à l'entrée du codeur de charge peut s'écrire ainsi :

$$V_a = \frac{e_n}{2} \quad (28)$$

Les spectres obtenus avec le montage de la figure 46 étant de largeur trop importante, nous avons dû ajouter, en sortie du générateur de tension, une résistance $R = 1 \text{ k}\Omega$ nous permettant de le transformer en un générateur de courant. Le bruit à l'entrée du codeur de charge peut alors s'écrire :

$$V_a = \frac{50 \cdot e_n}{50 + R} \quad (29)$$

$$\text{soit } V_a \approx 0,05 \cdot e_n$$

L'ajout de cette résistance R , non seulement atténue les bruits du signal analogique V_e , mais permet aussi de travailler à plus forts niveaux en sortie du générateur BNC.

III.1.2.1 - La linéarité intégrale.

La linéarité intégrale est l'écart maximum entre la droite de conversion d'un convertisseur idéal et la droite de conversion du codeur que l'on cherche à caractériser. La droite de conversion d'un convertisseur idéal est représentée figure 37a en pointillés. La mesure consiste à attaquer le codeur de charge par une impulsion dont les caractéristiques sont proches de celles issues des amplificateurs lents, à faire varier l'amplitude de cette

impulsion depuis quelques millivolts jusqu'au maximum admissible (celui-ci dépend évidemment de la largeur de la fenêtre d'intégration choisie, nous la prendrons égale à $5\text{ }\mu\text{s}$) et à représenter sur un graphique la caractéristique de transfert de la voie testée. Le montage utilisé est indiqué sur la figure 46 (une résistance de $1\text{ k}\Omega$ étant ajoutée en série). Sur les figures 47 et 48, nous avons tracé le résultat des mesures effectuées sur deux voies d'intégration, respectivement à petit et grand gain. Sur les deux graphiques suivants, nous avons représenté, en abscisses, le résultat des différents codages (le piédestal a été soustrait) et en ordonnées, l'amplitude de l'impulsion analogique.

Figure 47 - La linéarité intégrale (voie à petit gain).

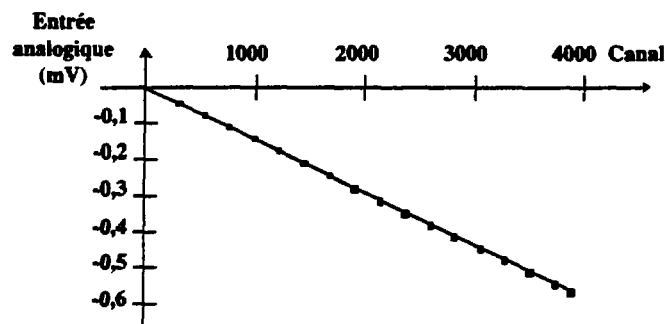
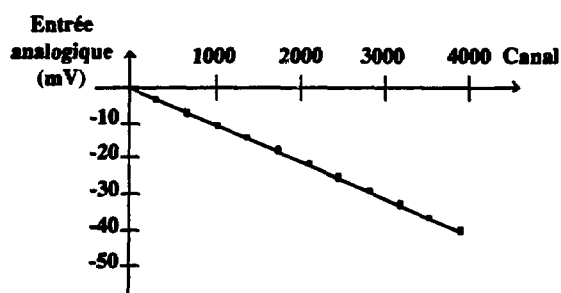


Figure 48 - La linéarité intégrale (voie à grand gain).



Pour évaluer la linéarité intégrale, nous avons d'abord linéarisé ces caractéristiques et calculé chaque coefficient directeur :

Petit gain : $-0,14\text{ mV/canal}$.

Grand gain : $-0,01\text{ mV/canal}$.

Ensuite, pour chaque point nous ayant permis de tracer ces caractéristiques, nous avons déterminé l'écart maximum, pour chacun des gains, entre la droite et les canaux mesurés :

Petit gain : $E_{rp\max} = 2,55$ canaux.

Grand gain : $E_{rg\max} = 18$ canaux.

La linéarité intégrale est souvent donnée en pourcentage de la pleine échelle. Pour un convertisseur 12 bits, elle s'exprime alors :

$$NLI = \frac{100 \cdot E_{r\max}}{2^{12}} \quad (30)$$

Petit gain : $NLI = 0,06\%$ p.é.

Grand gain : $NLI = 0,4\%$ p.é.

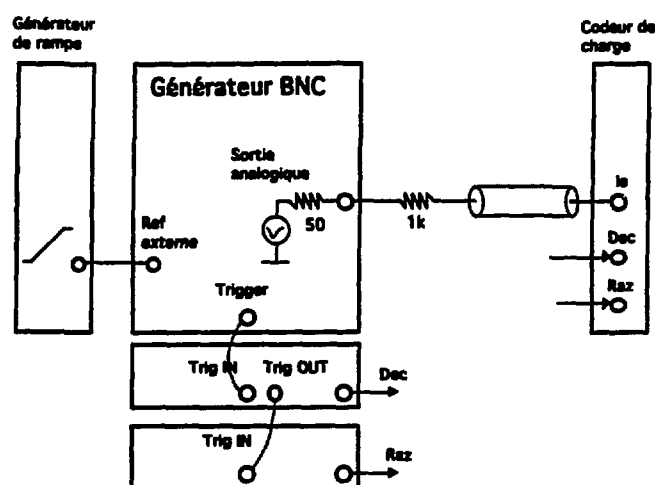
Nous avons comparé ces résultats à ceux obtenus, dans les mêmes conditions d'expérience, pour un codeur d'amplitude développé avec la même correction par échelle glissante. La linéarité intégrale était inférieure à 0,05 %. Nous avons repris la mesure, en considérant que le générateur d'impulsions utilisé avait bien une linéarité intégrale annoncée ($\pm 0,005\%$) pour l'amplitude maximale qu'il fournit. Nous nous sommes demandés si le défaut de linéarité intégrale constaté sur la voie à grand gain ne pouvait pas provenir d'un défaut de linéarité sur la surface du signal (donnée non communiquée par le constructeur). Nous avons donc repris la mesure mais en ne faisant plus varier l'amplitude maximale de l'impulsion. Pour balayer toute la gamme du codeur, nous avons agi sur la largeur de l'impulsion. Les résultats obtenus ont été alors de l'ordre du pour-mille et cela pour les deux gains.

III.1.2.2 - La linéarité différentielle.

Le générateur BNC utilisé pour la mesure de linéarité intégrale est maintenant attaqué par un générateur de rampe. Ce dernier permet de faire varier l'amplitude de l'impulsion issue du générateur BNC. Le générateur de rampe évolue de façon

indépendante des autres générateurs du montage (I_e , Dec et Raz) avec une fréquence de 50 Hz. Comme les variations du générateur de rampe sont complètement désynchronisées du fonctionnement du codeur, on peut considérer que la distribution du maximum des impulsions à coder est uniforme.

Figure 49 - Le montage permettant d'effectuer la mesure de la linéarité différentielle.



Après avoir effectué un grand nombre de cycle intégration-conversion-stockage, les résultats des mesures sont représentés sur la figure 50 pour le petit et pour le grand gain. Le nombre moyen de coups pour chaque spectre est :

Petit gain : $C_{moyp} = 14898$.

Grand gain : $C_{moyg} = 20675$.

Pour calculer la NLD, il faut ensuite déterminer l'écart maximum, pour chaque spectre, entre le nombre de coups moyen et le nombre de coups pour chaque canal : soit E_{rmax} cet écart. Pour évaluer la non-linéarité différentielle, on utilise alors l'expression (31) :

Petit gain : $E_{rmaxp} = 402$.

Grand gain : $E_{rmaxg} = 798$.

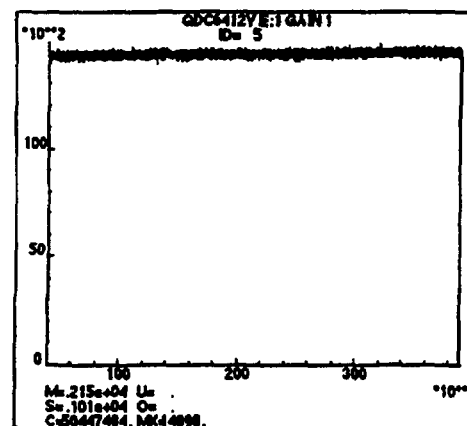
$$NLD = \left(\frac{|E_{rmax}| - C_{moy}}{C_{moy}} \cdot 100 \right) \% \quad (31)$$

Petit gain : $NLD < 3 \%$.
Grand gain : $NLD < 4 \%$.

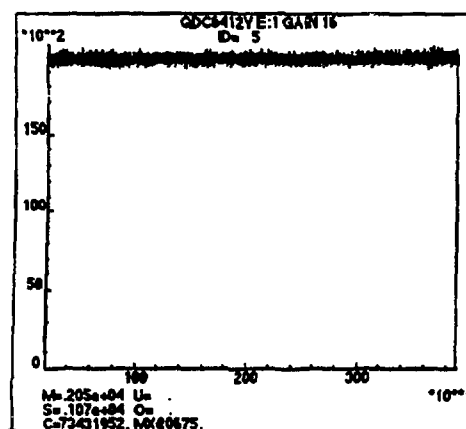
Pour bien apprécier l'effet de l'échelle glissante sur la non-linéarité différentielle, nous rappellerons pour mémoire que sans cette dernière, la NLD du codeur serait de 50 %. Comme pour la linéarité intégrale, cette mesure, pour un codeur d'amplitude, avait donné une NLD inférieure au pour-cent. Il faut peut-être mettre une nouvelle fois en cause le générateur d'impulsion BNC nous ayant permis de faire ces mesures.

Figure 50 - La mesure de la NLD - spectres pour le petit et grand gain.

Petit gain
(la pleine échelle, soit 4095 canaux, correspond à 32 nC)



Grand gain
(la pleine échelle, soit 4095 canaux, correspond à 2 nC)



III.1.3 - FONCTIONNEMENT, MESURES TEMPORELLES.

Nous avons voulu montrer, à l'aide de copies de photographies d'écran d'oscilloscope, les différentes phases de fonctionnement du codeur, nous permettant de vérifier que les prévisions issues des simulations des PGAs étaient correctes.

III.1.3.1 - Un cycle d'intégration.

Un déclenchement DECi a lieu, le point de validation correspondant VALIDi apparaît après un temps d'une microseconde (ce temps a été défini à l'initialisation) pendant la fenêtre de validation VALEX (ces deux derniers signaux sont visualisables simultanément sur la ligne Contrôle Fenêtre accessible en face avant du contrôleur de châssis). La voie numéro "i" étant alors validée, l'intégration s'effectue pendant toute la durée de la fenêtre d'intégration (GATEi), programmée à 5 μ s pendant la phase d'initialisation. En fin d'intégration, la sortie analogique QVi, stable, est prête pour une conversion analogique-numérique.

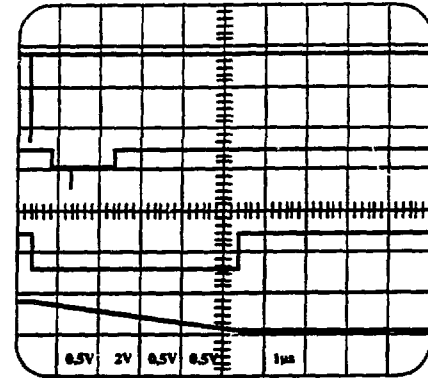
Figure 51 - Le chronogramme de l'intégration.

DECI
(signal de déclenchement de la voie N° i)

VALEX et VALIDi
(fenêtre de validation et point de validation de la voie N°i (1 μ s))

GATEi
(fenêtre d'intégration de la voie N°i (5 μ s))

QVi
(sortie de l'intégrateur)



Remarque :

L'une des contraintes du cahier des charges était d'avoir une disparité d'au maximum 1 % sur les instants d'apparition des points de validation : pour un retard d'une microseconde, par exemple, si deux voies sont déclenchées simultanément, le décalage entre les fronts des deux signaux VALIDi ne doit pas excéder 10 ns. C'est en faisant des mesures de dispersion que nous nous sommes rendus compte d'un problème de diaphonie entre les différents points de validation (ce défaut a aussi été observé sur les fenêtres d'intégration). Sur la figure 36, nous avons représenté le montage qui, à partir d'un signal CLEARi et d'une tension de seuil V_{seuil} , permettait de générer le front de validation VALIDi. La tension de seuil est générée par un CNA unique pour les trente deux voies. Quand plusieurs voies sont déclenchées simultanément, des impulsions parasites apparaissent sur V_{seuil} occasionnant des fluctuations ou "jitter" de quelques dizaines de nanosecondes sur le point de validation. Afin d'éviter la réjection des courants d'entrée d'un comparateur d'une voie (A2 figure 36), sur celui d'une autre voie, nous avons ajouté un filtre L-C de fréquence de coupure de plusieurs MHz sur l'entrée de chaque comparateur.

III.1.3.2 - Un cycle de conversion.

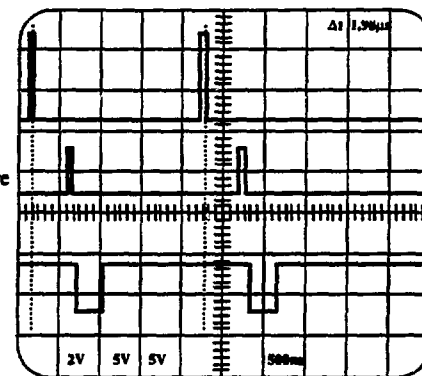
Dès que toutes les voies validées ont terminé leur intégration et à la réception du signal OA (décision lente d'acceptation de l'événement), le signal INCRADR initie la recherche du numéro de la première voie validée. L'adresse correspondante est envoyée sur les multiplexeurs analogiques. Après environ 1 μ s (temps d'établissement de ces multiplexeurs), un signal de début de conversion (CONV) est envoyé sur l'ADC. Le front montant du signal IEOC, généré par l'ADC 350 ns après le début de conversion, annonce la fin de cette opération. Des signaux, non visualisés ici, sont alors émis afin de stocker en mémoire le résultat de la conversion analogique-numérique. Le temps moyen d'une conversion-stockage d'un couple de données (petit et grand gain) est de deux microsecondes.

Figure 52 - Le chronogramme de la conversion.

INCRADR
(impulsion initiant la recherche de la première voie validée)

CONV
(après une μ s, ce signal initie la conversion de la première voie valide)

IEOC
(général par l'ADC, le front montant de ce signal annonce qu'il a fini de convertir sa donnée)



III.1.3.3 - La conversion et la lecture de l'ensemble des voies du codeur.

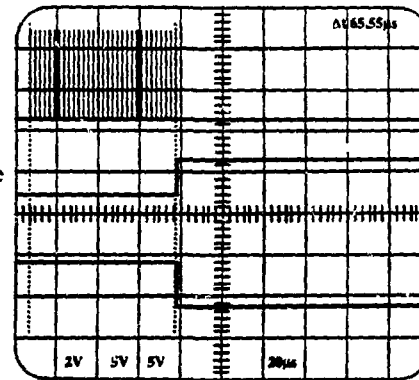
Le déclenchement commun de toutes les entrées du codeur a permis de mesurer le temps maximum nécessaire à l'opération de conversion et de stockage en mémoire de l'ensemble des voies du codeur. A la fin d'intégration des 64 voies et à l'apparition du signal OA, le signal CODAGE passe au niveau logique zéro. Le front montant de ce dernier annonce la fin de la conversion-mémorisation de toutes les voies validées. Simultanément, le front descendant du signal LECTURE prévient que le module peut être lu. Le temps maximum de conversion est d'environ 65 μ s.

Figure 53 - Le chronogramme de la conversion - lecture.

INCRADR
(32 impulsions correspondant à la
conversion des 64 sorties des intégrateurs)

CODAGE
(ce signal est à un niveau zéro pendant toute la période de
conversion : 65,5 μ s)

LECTURE
(ce signal passe à zéro en fin de conversion et
annonce au processeur de lecture qu'il est
prêt. Il sera dévalidé en fin de lecture)



III.1.4 - PUISSANCE CONSOMMEE ET INCIDENCE DE SA LIMITATION.

Dans un châssis VXI, 12 modules peuvent être installés ainsi qu'un "slot Ø" (contrôleur de châssis VXI) indispensable. A partir de mesures effectuées sur un prototype de codeur, une évaluation des consommations des modules se trouvant dans ce châssis, nous a permis de constater que sur l'alimentation -5 Volts, les douze codeurs de charge dépassaient la limite imposée par le fabricant de châssis. Nous avons évalué à 119,1 Ampères la consommation du châssis dans sa configuration finale alors que le constructeur spécifie 100 Ampères (voir tableau 16).

Tableau 16 : Evaluation de la consommation en courant de douze codeur de charge.

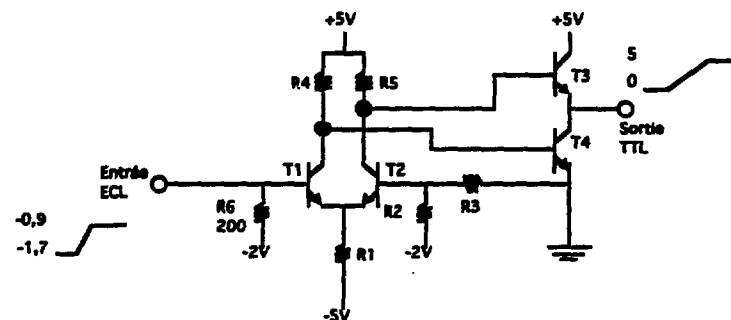
Alimentations (V)	Courant par châssis (A)	courant par "slot Ø" (A)	courant par codeur (A)	courant par 12 codeurs et un "slot Ø" (A)
-2	50	1,5	0,7	10
+5	100	11,6	4,3	63,2
-5	100	1,5	9,8	119,1
+12	20	0,4	1,2	14,8
-12	20	0,1	1,2	14,5
+24	10	1,3	0,5	7,3
-24	10	0	0,5	6

Par conséquent, nous avons dû revoir certaines parties du codeur et principalement les éléments spécifiques à chaque voie d'intégration. Ainsi, un gain d'une quantité "a" sur une voie apporte un gain de 32 fois a pour un codeur, et un gain 12 fois plus important pour l'ensemble des modules du châssis. Pour réduire cette consommation sur l'alimentation - 5 V, nous nous sommes attaqués à deux points particuliers du codeur. Tout d'abord, le développement de transposeurs ECL-TTL nous a permis de remplacer des composants ECL (10125 - MOTOROLA) performants mais consommant beaucoup trop de courant sur les alimentations -5 V et +5 V. Une deuxième diminution a pu être réalisée sur chaque carte fille "SEQRAM" au niveau de la polarisation des composants ECL.

III.1.4.1 - Les transposeurs ECL-TTL.

Ils permettent de convertir des niveaux ECL (-0,9 V et -1,7V) en niveau TTL (5 V et 0 V). Dans notre application, ils sont utilisés pour transposer des lignes ECL telles que GATE<1..32>, issues des cartes "SEQRAM", en signaux TTL utilisés par le PGA que nous avons appelé RAZINT... C'est un total de 24 transposeurs ECL-TTL (les composants 10125 contiennent 4 voies par boîtier) que nous nous proposons de remplacer. Chaque composant (4 voies) consomme environ 40 mA sur l'alimentation -5 V ainsi que sur le +5 V.

Figure 54 - Le transposeur ECL-TTL.



L'entrée ECL attaque une branche d'un étage différentiel (T1-T2) dont le potentiel de l'autre branche est fixé au milieu de la variation de tension en entrée soit environ

-1,3 Volts. La sortie TTL est réalisée par un étage "TOTEM-POLE" (T3-T4). Ci-dessous sont représentés les résultats des tests effectués sur ce composant "4ECLTTL" comparés aux caractéristiques données par le constructeur du composant "10125".

Tableau 17 : Comparaison des consommations des circuits 10125 et 4ECLTTL.

	Consommation sur +5 V (mA).	Consommation sur -5 V (mA).	Consommation sur -2 V (mA).	Temps de montée (ns).
10125	40	40		3
4ECLTTL	32	20	16	15

La consommation du composant ainsi créé a donc été diminuée, surtout sur l'alimentation -5 Volts. Le temps de montée a été altéré, mais pour ces signaux TTL qui sont envoyés entre autres, sur les entrées de PGA, cette altération n'aura aucune conséquence. Le gain est donc, pour un composant (soit quatre voies) et pour l'alimentation -5 V, de 20 mA soit, puisqu'il y a 24 transposeurs, un gain pour le codeur d'environ 0,5 Ampère par module et sur le -5 Volts.

Remarques :

Comme les cartes intégratrices (DUOINT) et les cartes de séquençement des intégrations (SEQRAM), les cartes filles 4ECLTTL ont été développées à l'aide de composants CMS permettant d'en limiter leur dimension. Elles sont aussi, de la même manière, installées perpendiculairement sur la carte mère limitant ainsi la surface d'encombrement.

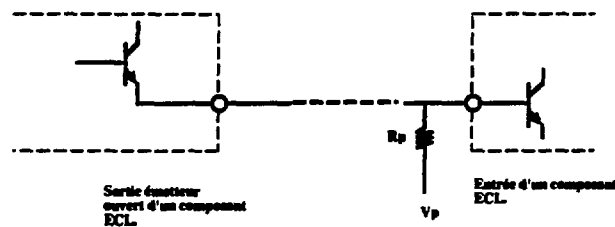
La résistance R6 sur la figure 54 permet de polariser la sortie émetteur-ouvert des composants ECL qui génèrent des signaux via les cartes 4ECLTTL.

III.1.4.2 - La polarisation des cartes SEQRAM.

Sur la carte SEQRAM, un certain nombre de composants ECL sont utilisés afin de réaliser la logique nécessaire à l'intégration d'une voie. Tous ces composants sont à sortie émetteur-ouvert et nécessitent donc, pour fonctionner, l'adjonction de résistances de polarisation. Pour la réalisation du prototype, nous avons utilisé des résistances $R_{p1} = 560 \Omega$ connectées au potentiel $V_{p1} = -5 \text{ V}$.

L'intérêt du $V_{p2} = -2 \text{ V}$ dont on dispose sur le bus VXI est de permettre une limitation de la puissance consommée les composants ECL. Nous avons de plus choisi $R_{p2} = 200 \Omega$.

Figure 55 - La polarisation des composants ECL.



Chaque carte SEQRAM possède 11 résistances de polarisation. Pour évaluer le gain réalisé par la nouvelle configuration, nous allons considérer la consommation des résistances R_p quand les lignes ECL sont au niveau logique "0" soit environ $-1,7 \text{ V}$. Les courants I_{p1} et I_{p2} représentent respectivement les courants consommés par R_{p1} et R_{p2} :

$$I_{p1} = 5,9 \text{ mA} \quad \text{et} \quad I_{p2} = 1,5 \text{ mA}$$

Le gain réalisé est alors, pour une carte SEQRAM possédant 11 résistances de polarisation, d'environ 50 mA soit pour les 32 cartes un gain de **1,6 Ampères par module et sur le -5 Volts** . Les nouvelles consommations du codeur de charge sont représentées dans le tableau ci-dessous :

Tableau 18 : Les nouvelles consommations en courant des codeurs de charge.

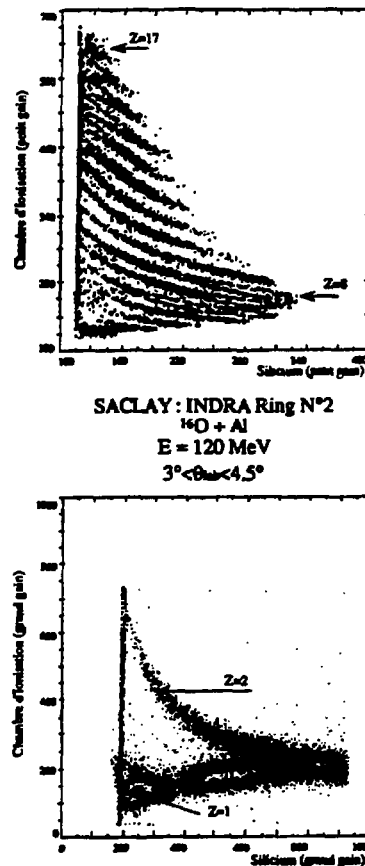
Alimentations (V)	Courant par châssis (A)	courant par "slot Ø" (A)	courant par codeur (A)	courant par 12 codeurs et un "slot Ø" (A)
-2	50	1,5	3	37,5
+5	100	11,6	4	59,6
-5	100	1,5	6,8	93,9

III.2 - RESULTATS EXPERIMENTAUX EN PHYSIQUE.

Durant la construction puis l'assemblage d'INDRA sur le site du GANIL, différents tests sous faisceau ont été réalisés pour évaluer les caractéristiques des détecteurs et de l'électronique associées. Nous nous intéresserons aux performances d'identification en charge (méthode $\Delta E-E$) pour les couples Chambre à ionisation-Silicium et Silicium-Iodure de Césium car elles constituent le critère physique essentiel de qualité de la chaîne électronique Préamplificateur-amplificateur-codeur.

Des tests ont été réalisés à Saclay afin de montrer la qualité de la réponse de l'ensemble Chambre à ionisation-Silicium. Le faisceau, constitué d'Oxygène 16 à une énergie totale de 120 MeV, bombardait une cible en Aluminium. L'accélérateur de Saclay ne permet pas d'atteindre les énergies attendues pour INDRA (4 GeV pour les Silicium et 250 MeV pour les chambres à ionisation) ; les gains des différentes chaînes ont néanmoins été réglés pour permettre des mesures dans les conditions de dynamique d'INDRA. Les différentes lignes en dessous de $Z = 17$ (figure 56) sont clairement séparées ($\Delta E-E$ pour les voies à petit gain) et simultanément, sur la figure à grand gain, les lignes $Z = 1$ et $Z = 2$ sont aussi séparées.

Figure 56 - Spectres ΔE -E, petit et grand gains pour un couple de détecteurs Ch.Io-Si.

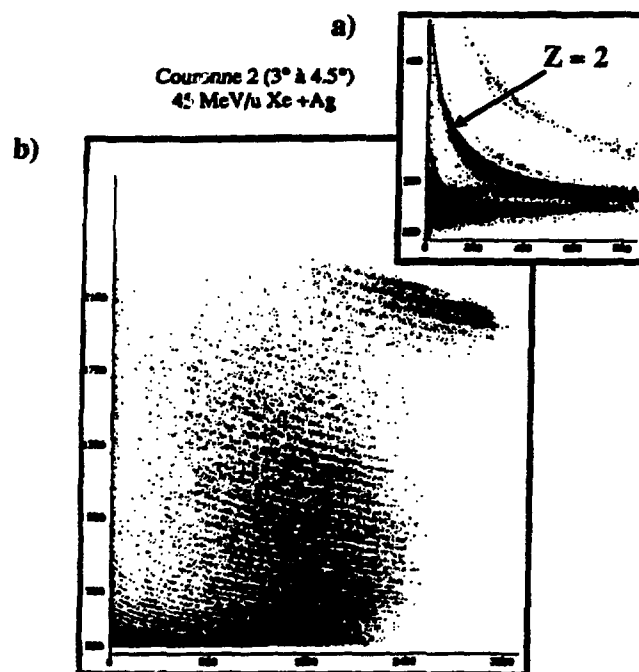


- ΔE est mesuré par les chambres à ionisation.
- E est mesuré par les détecteurs silicium.

Les spectres de la figure 57 montrent la réponse d'un télescope Silicium-Iodure de Césium. Le faisceau du GANIL était alors constitué de Xénon à une énergie de 45 MeV par nucléon et la cible était en Argent. La figure 57b permet d'observer les coordonnées correspondant à la diffusion élastique (2800, 2150) : pour ce phénomène, l'énergie des particules incidentes est conservée à la traversée de la cible. Le faisceau étant constitué de Xénon à une énergie totale d'environ 6 GeV. A la diffusion élastique (pour $Z = 54$), 2 GeV sont déposés dans le Silicium et 4 GeV dans le CsI. Aux 2 GeV déposés dans le

Silicium correspondent le canal 2000 (1 MeV par canal) La séparation en Z se fait ici depuis Z = 1 et jusqu'à Z = 54.

Figure 57 - Spectres ΔE -E, petit et grand gains pour un couple de détecteurs Si-CsI.



- ΔE (en ordonnées) est mesuré par les détecteurs Silicium.
- E (en abscisses) est mesuré par les détecteurs à Iodure de Césium.

Remarquable résolution et très grande dynamique permettent de qualifier l'ensemble de la chaîne allant des détecteurs aux codeurs de charge. La mise en route et la réalisation des tests dont nous venons de présenter quelques résultats ont de plus fait apparaître aux utilisateurs la souplesse des réglages, la facilité d'initialisation, l'intérêt du contrôle à distance que la possibilité, à tout moment, de pouvoir tester le bon fonctionnement de chacun des maillons de la chaîne : depuis les détecteurs et jusqu'aux codeurs en passant par les préamplificateurs, les amplificateurs...

III.3 - PERSPECTIVES.

III.3.1 - LE REGLAGE AUTOMATIQUE DU PIEDESTAL.

Afin de compenser le courant de polarisation (I_p , figure 34) de chaque intégrateur, un courant individuel de piédestal I_p est injecté par l'intermédiaire d'un potentiomètre. Une des opérations intervenant dans le réglage d'un codeur consiste, en agissant sur ce potentiomètre, à avoir pour chaque voie et en l'absence d'impulsion analogique un canal supérieur à zéro : nous avons choisi de régler l'ensemble des voies à environ 100 canaux. L'absence de courant de piédestal pourrait conduire à une perte d'informations pour le bas de la gamme de mesure. Cette opération est longue et les potentiomètres (2 fois 32) occupent une place non négligeable sur la carte.

Sur le codeur réalisé, nous avons, pour chaque voie, deux piédestaux différents : un piédestal individuel réglable par potentiomètre et un piédestal programmable commun à toutes les voies. En l'absence de courant analogique I_c à intégrer, nous observons, en effectuant une acquisition sur l'ensemble des voies d'un codeur, des disparités sur la valeur codée par chaque voie. Il faut agir sur chacun des potentiomètres afin d'obtenir un canal presque identique sur toutes les voies. Ces disparités sont dues aux variations, entre composants, d'un certain nombre de leurs caractéristiques. En l'absence de courant I_c , quand l'aiguilleur T1-T2 (figure 34) est commandé, l'expression du courant qui traverse la capacité de charge est la suivante :

$$I_c = I_{bT1} + I_p - I_{p'} - I_{bT5} \quad (32)$$

I_{bT1} : courant de base du transistor T1.

I_{bT5} : courant de base du transistor T5.

$I_{p'}$: courant de polarisation (environ 200 μA).

I_p : courant de piédestal.

Sans agir individuellement sur les potentiomètres de réglage des piédestaux, des différences de plus de 50 canaux peuvent être observées entre les différentes voies. Et même après un réglage minutieux, les caractéristiques des composants évoluant différemment en fonction de la température un réglage régulier devrait être nécessaire. Pour INDRA, les châssis sont bien ventilés (aspiration d'air par le dessus des châssis et

expulsion d'air par le dessous des châssis) ; des mesures ont montrés une grande stabilité des piédestaux.

Nous pourrions proposer, comme amélioration, de faire en sorte qu'en l'absence de courant analogique d'entrée, le courant I_c qui traverse la capacité de charge soit pratiquement nul. Ainsi, un réglage individuel ne serait plus nécessaire et seule la programmation du piédestal commun permettrait de modifier, pour l'ensemble des voies, l'origine des spectres (cette dernière étant alors pratiquement identique pour tous les spectres).

III.3.2 - L'AUGMENTATION DU NOMBRE DE VOIES.

Les expériences en physique requièrent un nombre croissant de détecteurs et par conséquent, un nombre croissant de modules de codage. Afin de diminuer les coûts par voie de codage, il peut être intéressant d'augmenter le nombre de voies par codeur. Actuellement, le codeur de charge réalisé dans le cadre de cette thèse dispose de trente deux entrées et de deux gains pour chacune d'entre elles. Dans un premier temps, afin de rendre le codeur plus universel, soixante quatre entrées indépendantes pourraient être envisagées. En effet, si nous considérons sur INDRA l'association de scintillateurs "phoswich", ceux-ci ne nécessitent pas une résolution accrue pour les faibles énergies. Deux gains et une fenêtre d'intégration commune ne sont pas nécessaires. La technique de mesure avec l'ensemble "phoswich" consiste, pour une même entrée analogique, à intégrer sur une voie dite rapide et pendant quelques dizaines de nanosecondes le front descendant (partie rapide) de l'impulsion. Sur une autre voie appelée lente, la traîne de l'impulsion est intégrée pendant quelques centaines de nanosecondes. Le codeur de charge QDC6412V ne répond pas à ce mode de fonctionnement. Pour d'autres types de mesure, une seule voie d'intégration peut être nécessaire par entrée analogique, auquel cas le QDC6412V ne procure alors que 32 voies d'intégration.

Pour développer ce codeur de charge à 64 entrées indépendantes, l'utilisation de LCA4000 peut être envisagée. Ces derniers, nouveaux venus sur le marché, permettent une intégration accrue. Une limitation de l'encombrement des cartes filles analogiques (DUOINT) par l'utilisation de composants CMS de plus petite taille est nécessaire. Après une évaluation de l'encombrement des différents composants à implanter, un tel développement ne paraît pas irréalisable. Le point qui sera plus difficile à résoudre concerne la consommation en courant de ce futur codeur. Comme nous l'avons vu précédemment, des adaptations ont été nécessaires afin de diminuer la consommation du

127/128

codeur 32 voies, notamment sur le -5 Volts. Un codeur 64 voies à consommation raisonnable sera-t-il réalisable?

III.3.3 - UN CODEUR MULTI-FONCTIONS.

Comme dans le paragraphe précédent, le développement d'un codeur multi-fonctions a pour but de diminuer les coûts de l'électronique d'acquisition. La carte mère du codeur de charge que nous avons développée est constituée de 12 couches (plans d'alimentations, plan de masse, lignes analogiques et lignes logiques). Un tel circuit est onéreux. Pour INDRA, aujourd'hui, 10 codeurs de charge VXI ont été nécessaires pour traiter les informations issues des détecteurs Silicium. Demain, une autre expérience pourrait requérir l'emploi de 10 codeurs d'amplitudes ou 10 codeurs de temps. Il peut alors être intéressant, à partir d'une même carte mère, de disposer de l'un ou l'autre de ces codeurs. L'idée serait alors, sur ce circuit multi-couches, moyennant quelques modifications de câblage et en remplaçant une carte fille intégratrice par un module détecteur d'amplitude, de passer d'un QDC à un ADC...

Ce qui suggère ce développement, c'est la constatation que presque la moitié de la surface de la carte est utilisée par de l'électronique commune à chacun de ces trois types de codeur (conversion, stockage, interfaçage avec le bus...). Encore une fois, sa faisabilité est dépendante de la consommation en courant de chaque module et de la place disponible en face avant du module pour la connectique de ce codeur multi-fonctions... Il sera aussi nécessaire de faire en sorte que ces adaptations soient le plus facilement réalisables, une méticuleuse et longue étude préalable paraît indispensable.

129/130

CONCLUSIONS

La première partie de ce mémoire nous a permis de décrire les différents éléments constituant une chaîne d'acquisition : les détecteurs et l'enceinte sous vide dans laquelle ils sont placés, l'électronique de mise en forme des signaux issus de ces détecteurs et enfin les codeurs. Cette description a pris appui sur le développement, au sein du GANIL à CAEN, d'un nouvel ensemble multidétecteur appelé INDRA. Tout en définissant le rôle de chacun des éléments constituant la chaîne d'acquisition, nous avons pu ainsi nous familiariser avec des techniques et du vocabulaire utilisés dans le domaine de la physique nucléaire.

La deuxième partie de cette thèse détaille, en apportant des solutions, les contraintes liées au développement d'un codeur de charge permettant de traiter les signaux analogiques provenant de détecteurs Silicium et de chambres à ionisation faisant partie du multidétecteur INDRA. Cette deuxième partie peut permettre, à qui ne connaît pas l'aventure que représente le développement d'un tel module électronique, de découvrir une façon de faire, une procédure à suivre ainsi que les points importants sur lesquels il faut faire porter ses efforts.

La dernière partie, après une présentation des tests et des résultats permettant de caractériser et de valider les performances du codeur de charge, ouvre des perspectives sur de nouveaux développements. Ces derniers auraient pour but de faciliter les réglages et la mise en route des codeurs, d'accroître les possibilités du codeur et de diminuer les coûts importants nécessaires à de tels modules : éviter le réglage manuel et individuel des courants de piédestal, permettre un réglage individuel et programmable des fenêtres d'intégration, augmenter le nombre de voies sur un module (dans notre cas, passer de 32 entrées à double gains à 64 entrées individuelles en gardant la possibilité de travailler en double gains), de permettre par un simple changement des cartes filles d'obtenir un codeur de temps, de charge ou d'amplitude...

133/134

ANNEXES

- ANNEXE A : DEUX CHAINES DE CODAGE.
- ANNEXE B : COMPARAISON CAMAC-VXI.
- ANNEXE C : CONSTITUTION ET DEVELOPPEMENT D'UN PGA XILINX.
- ANNEXE D : QUELQUES TECHNIQUES DE CONVERSION ANALOGIQUE-NUMERIQUE.

ANNEXE A - DEUX CHAINES DE CODAGE.

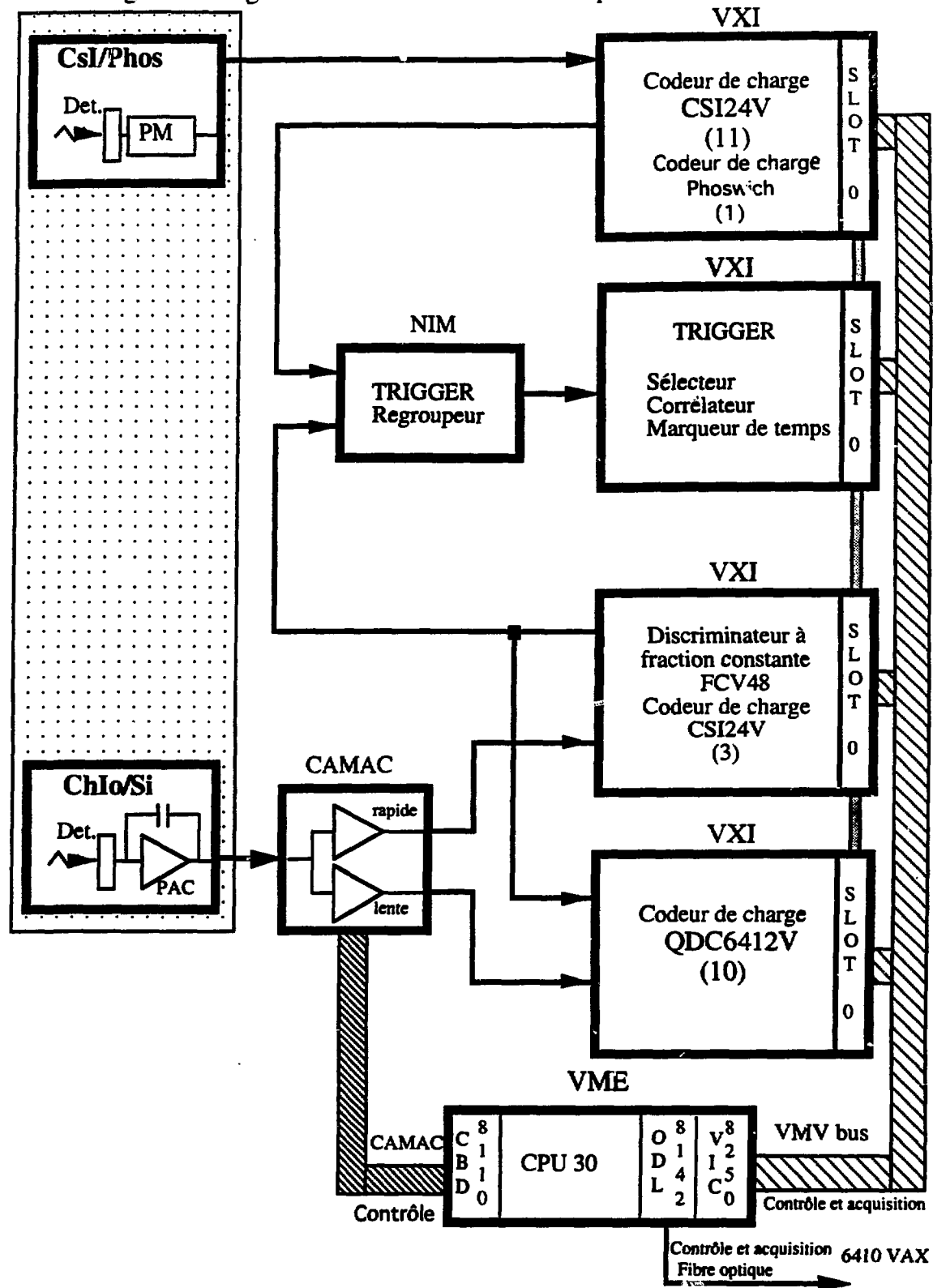
L'électronique du multidétecteur INDRA est constituée de deux chaînes distinctes de codage : une première chaîne mesure les signaux issus des détecteurs Chambre à ionisation et Silicium et une seconde chaîne mesure les signaux issus des détecteurs de type scintillateur (Iodure de Césium et ensemble Phoswich).

La chaîne dédiée au traitement du premier groupe de signaux (Chlo et Si) est constituée tout d'abord de préamplificateurs de charge installés dans la chambre à réaction. Les amplificateurs développés au standard CAMAC sont, quant à eux et comme tous les modules de codage ainsi que l'ensemble "trigger", installés dans la salle d'expérimentation, à proximité de la chambre à réaction. Chaque module d'amplification est constitué de 8 entrées (35 modules), chacune d'elle dispose de deux sorties : une sortie lente et une sortie rapide. Les sorties lentes ou sorties analogiques sont envoyées aux codeurs de charge QDC6412V (32 voies - double intégration ($\Delta E-E$)- codage sur 12 bits - standard VXI). Dix modules ont été nécessaires pour traiter les 96 voies Chambre à ionisation et les 180 voies Silicium. Les sorties rapides ou sorties logiques sont envoyées sur des modules VXI appelés Discriminateurs à Fraction Constante (FCV48). Ces modules génèrent des impulsions dont l'instant d'apparition ne dépend pas du temps de montée des signaux qu'ils reçoivent. Chaque module est constitué de 48 voies (6 modules).

La chaîne dédiée au traitement des signaux issus des scintillateurs est constituée tout d'abord de photomultiplicateurs installés dans la chambre à réaction, accolés aux détecteurs. Les signaux issus des détecteurs Iodure de Césium sont analysés par des codeurs de charge CSI24V (24 voies - double intégration (rapide-lente) - standard VXI). Ces derniers intègrent la fonction discriminateur. Le châssis où sont installés 11 modules CSI24V contient un codeur de charge spécifique appelé à traiter les informations issues des détecteurs Phoswich. Prévu pour une analyse en composantes rapide-lente, il intègre aussi la fonction discriminateur.

Un quatrième châssis VXI est occupé par les différents modules constituant le "trigger". La fonction "regroupeur" a été développée au standard NIM.

Organisation générale des modules électroniques d'INDRA.



ANNEXE B - COMPARAISON CAMAC-VXI.

Afin de bien apprécier les avantages du VXI sur le CAMAC, nous allons procéder à une comparaison en nombre de châssis et de modules pour le codage en charge des 180 voies Silicium (auquel on ajoute 24 autres détecteurs Silicium d'étalonnage) et des 96 voies Chambre à ionisation (soit un total de 300 voies). Pour effectuer des tests préliminaires permettant de valider la possibilité d'obtention d'une grande dynamique et d'une faible résolution, un codeur de charge au standard CAMAC et possédant un fonctionnement synchrone a été considéré : le QDC1612F.

Il dispose de huit entrées analogiques et nécessite l'utilisation d'un module supplémentaire générateur de portes d'intégration. La dimension des cartes au standard CAMAC ne permet pas l'installation, sur un module d'une unité CAMAC, de générateurs internes de portes d'intégration. En face avant du module, des lignes permettant un fonctionnement asynchrone du module ainsi que différentes lignes en autorisant son contrôle à distance, doivent être envisagées. Cette augmentation de connectique venant alourdir une installation déjà bien chargée, rendrait moins souple le montage d'un tel appareillage.

Le codeur de charge développé en VXI comporte 32 entrées analogiques, doté d'un fonctionnement asynchrone (il conserve la possibilité de fonctionner en mode synchrone), il génère lui même les portes d'intégration. Toute la connectique : signaux de séquençement du mode asynchrone et signaux de contrôle à distance de son bon fonctionnement, transitent via le fond de panier vers le contrôleur de châssis ("slot 0"). La connectique, pour toutes les lignes des 10 modules se trouve donc réduite à un seul ensemble qu'émet ou que reçoit le "slot 0".

Rappelons que standard CAMAC ou VXI nécessite l'emploi, pour chaque châssis, d'un module contrôleur. Qu'un châssis CAMAC comporte 23 unités et que le VXI en comporte 12.

**Comparaison CAMAC-VXI pour le codage en charge des voies Silicium
et chambres à ionisation d'INDRA.**

	VXI	CAMAC
Nb de châssis	1	4
Nb de contrôleurs de châssis	1	4
Nb de codeurs de charge	10	38
Nb de générateurs de portes d'intégration	0	38
Reste	- 2 emplacements dont un pourrait servir éventuellement pour un module de lecture ROCO.	- 16 emplacements qui pourrait être utilisés par des modules permettant de centraliser les lignes de visualisation.

Il faudrait considérer, pour que cette comparaison soit complète, les châssis de codage des informations issues des autres détecteurs ainsi, éventuellement, que celui ou ceux utilisés par le "trigger". Il devient alors évident, pour qui connaît la difficile et surtout laborieuse tâche qu'est l'installation et la gestion d'un tel système, que l'utilisation du VXI facilite grandement ces opérations. Une étude comparative suffisamment précise du coût de ces deux options n'est pas possible ; peu de modules VXI sont actuellement commercialisés et l'utilisation probable par un nombre grandissant d'utilisateurs de ce standard assez récent permet d'envisager des réductions conséquentes. Pour le CAMAC, standard peu industriel et son utilisation restreinte à la physique nucléaire impose des prix élevés et n'autorise pas à penser que des baisses conséquentes puissent être envisageables.

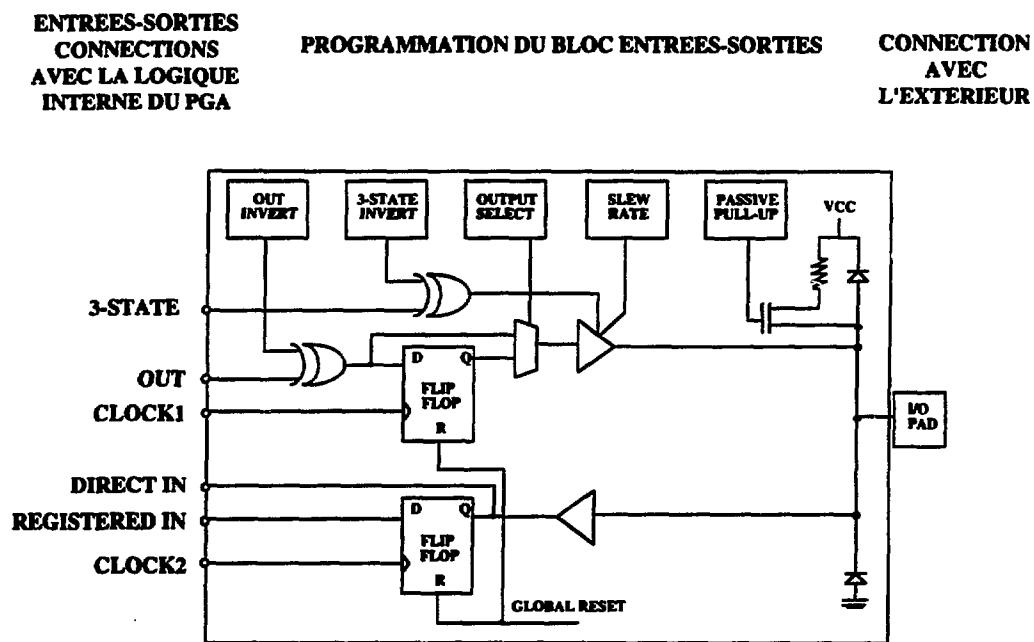
ANNEXE C - CONSTITUTION ET DEVELOPPEMENT D'UN PGA XILINX.

Les PGAs de chez XILINX sont des composants programmables permettant le développement de circuits logiques de très forte intégration. Ils sont constitués de trois types d'éléments configurables : les entrées-sorties (IOB), les blocs internes (CLB) et les interconnexions. Le développement d'un PGA consiste à définir, à partir d'un schéma constitué de portes logiques (ET, OU, NAND...), de bascules (bascules D, JK...) ou bien de macro-composants (compteurs, multiplexeurs...) ou à partir d'équation (langage HDL), toute la logique désirée. Un routage est ensuite nécessaire ; pendant cette étape, une affectation manuelle ou automatique des divers éléments de base ainsi que leurs interconnexions, sont réalisées. Une simulation avant ou après routage permet de vérifier, respectivement, que la schématique correspond bien à ce que l'on désire et que les problèmes de temps (lié aux temps de transit des différents composants de base mais aussi et surtout le long des interconnexions) n'engendrent pas d'aléas de transition.

C.1 - LES ENTREES-SORTIES (IOB).

Ce sont des blocs qui permettent la liaison entre la logique interne du composant et l'électronique qui l'entoure. Ils possèdent une logique interne programmable simple (deux bascules D, "buffers" d'entrée-sortie, résistance de rappel...). Les niveaux logiques des signaux sont TTL. Le type de PGA que nous avons utilisé est référencé XC3042PG84 possède 80 entrées-sorties pour un encombrement d'environ 4 cm².

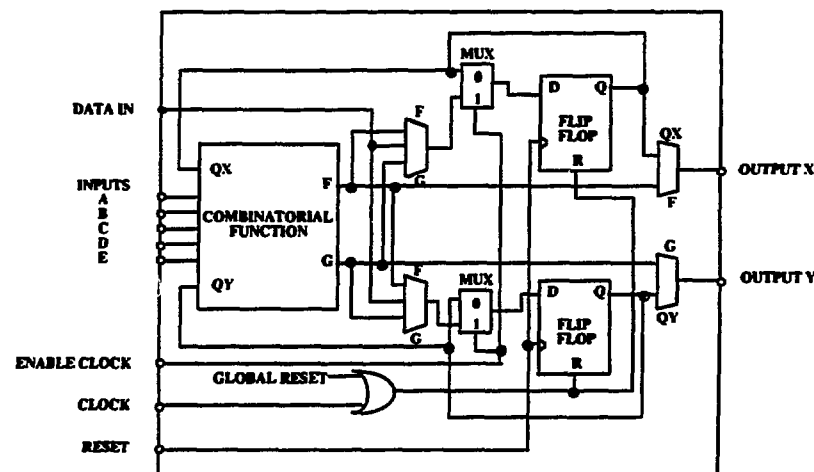
Les blocs d'entrées-sorties.



C.2 - LES BLOCS INTERNES (CLB).

A l'intérieur de ces blocs internes nous trouvons principalement deux bascules D, un bloc permettant de réaliser des fonctions combinatoires : sept entrées A, B, C, D, E, QX et QY (dont les deux dernières sont les sorties de ce même blocs) et deux sorties X et Y, ainsi qu'une horloge commune aux deux bascules. Le PGA utilisé possède 144 blocs internes. La ligne notée GLOBAL RESET sur la figure suivante représente une entrée spécifique du PGA, elle est pré-routée et permet une remise à zéro de l'ensemble de la logique.

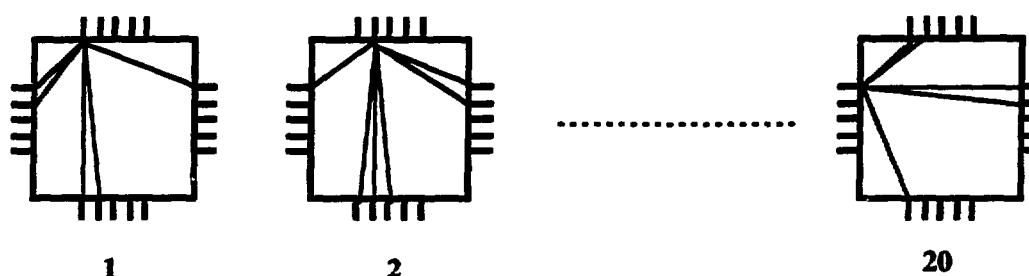
Les blocs internes.



C.3 - LES INTERCONNEXIONS.

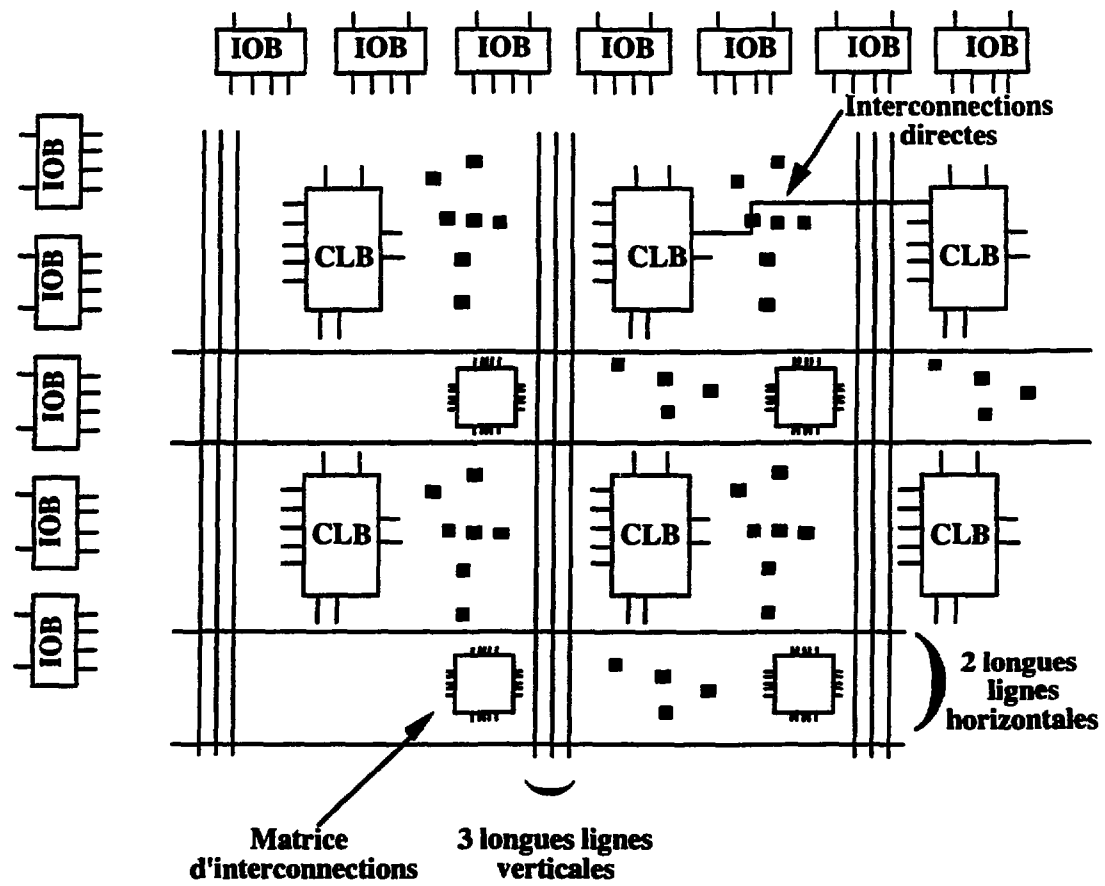
Les matrices d'interconnexions permettent de joindre les différents segments reliant les blocs. Ces segments sont de deux types : interconnexions directes ou longues lignes. Ces dernières sont en nombre limité mais le transit de l'information y est beaucoup plus rapide.

Les matrices d'interconnexions.



Après routage, le fichier obtenu n'est pas résident dans le PGA lui-même, mais dans une PROM. A la mise sous tension et suivant un mode parallèle ou série, le programme sera transféré dans le PGA. Pour la mise au point de ce dernier, un chargement à partir d'un micro-ordinateur est aussi possible.

Schéma interne d'un PGA.

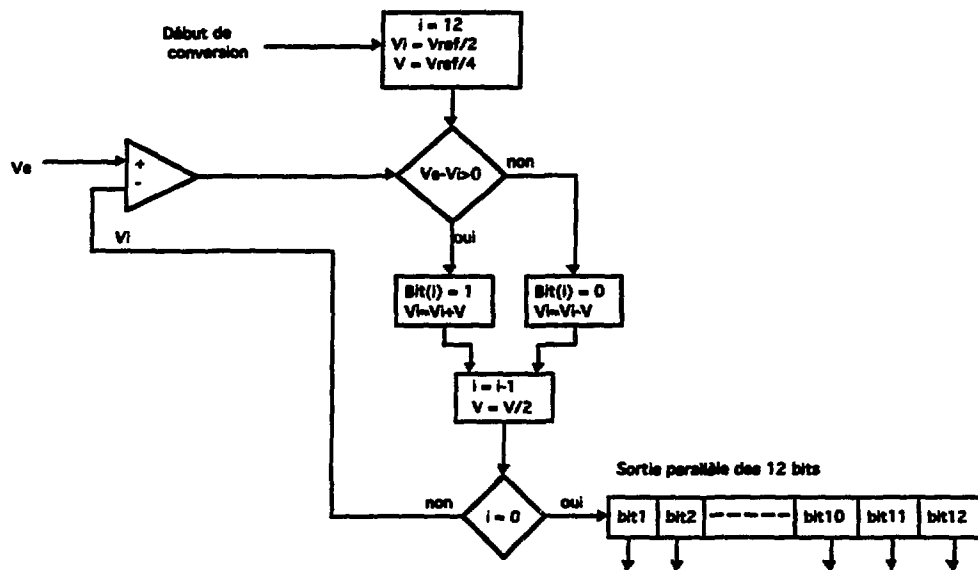


ANNEXE D - QUELQUES TECHNIQUES DE CONVERSION ANALOGIQUE-NUMERIQUE.

D.1 - LE CONVERTISSEUR A APPROXIMATIONS SUCCESSIVES.

Le principe d'un tel convertisseur est le suivant : on compare la tension inconnue V_e à des tensions successives de référence V_i , la dernière tension de référence (V_1) étant égale au LSB (dans le cas d'une conversion sur 12 bits et pour une tension de référence de 10 Volts, celui-ci vaut 2,44 mV). Une horloge interne est générée permettant de cadencer la logique du convertisseur et pouvant atteindre 100 ns par bit. V_{ref} représente l'amplitude maximale que le convertisseur accepte sur son entrée analogique.

Convertisseur 12 Bits à approximations successives.

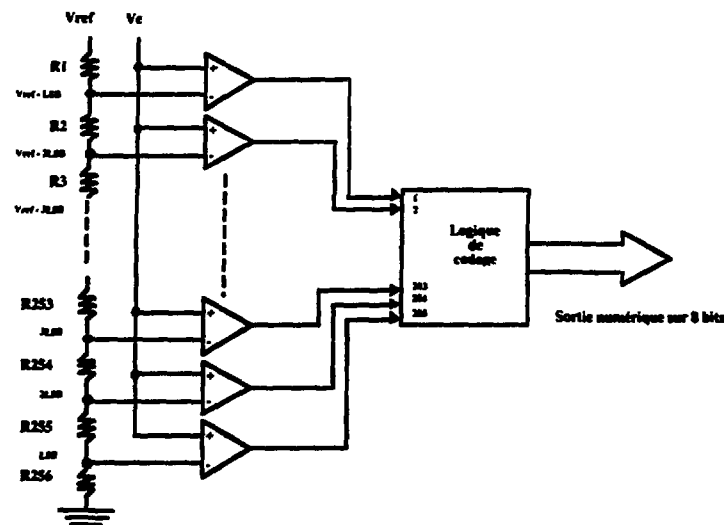


Avec les convertisseurs de ce type, nous obtenons des temps typiques de conversion de quelques microsecondes pour des résolutions allant jusqu'à 12 bits.

D.2 - LE CONVERTISSEUR FLASH OU PARALLELE.

Le convertisseur à approximations successives est rapide mais ce qui freine sa vitesse, c'est qu'il ne dispose que d'un comparateur. Par conséquent, la détermination de chaque bit formant le mot de sortie se fait en série. Il a l'avantage d'occuper un emplacement réduit puisque nécessitant l'utilisation d'un seul comparateur. Le convertisseur flash, si N est le nombre de bits en sortie ($N = 8$), nécessite l'utilisation de $2^N - 1$ comparateurs : soit dans notre cas, il devrait donc en disposer de 255. L'entrée non inverseuse, de chaque comparateur est attaquée par la tension analogique V_e et sur l'entrée inverseuse une tension de référence, créée à partir d'un pont de résistances et variant par pas de un LSB, est appliquée. Une logique de codage transpose les $2^N - 1$ sorties des comparateurs en un vecteur binaire de N bits.

Convertisseur 8 Bits flash ou parallèle

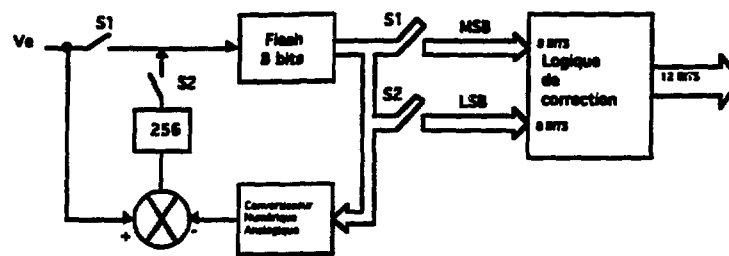


Le convertisseur flash le plus rapide convertit en quelques dizaines de nanosecondes pour des résolutions allant jusqu'à 8 bits.

D.3 - LE CONVERTISSEUR SERIE-PARALLELE.

Afin d'utiliser les performances en rapidité du convertisseur flash et le peu d'encombrement du convertisseur à approximations successives, un pseudo-mixage de ces deux techniques a été utilisé.

Convertisseur série-parallèle.



Le fonctionnement d'un tel système est le suivant [FON 79] et [REN 89] : dès que le convertisseur reçoit l'ordre de convertir la tension V_e , l'interrupteur S_1 se ferme et S_2 reste ouvert. La tension V_e est alors traitée par un convertisseur flash 8 bits. Les bits issus de cette conversion sont mémorisés dans le bloc logique de correction ; ils forment les MSB et sont aussi envoyés sur un CNA. La tension analogique issue de cette conversion est alors soustraite de la tension d'entrée V_e . S_1 s'ouvre alors tandis que S_2 se ferme. Le résultat de cette différence est ensuite amplifié d'un facteur 256 puis envoyé sur le convertisseur flash 8 bits qui forment ainsi les LSB. Une logique de correction génère alors, à partir des deux mots de 8 bits, le résultat de la conversion sur 12 bits.

- REFERENCES BIBLIOGRAPHIQUES.

[ALA 86] – J. Alarja, Charged particles identification with CsI (T1) scintillator, Nucl. Instr. and Meth. A242, 1986, p. 352-354.

[ALE 90] – J.R. Alexander, EUROGAM Project, Specification Of The VXI Readout Mechanism, Daresbury, November 1990.

[ALE 91] – J. R. Alexander et al., A VXI Based Readout System For EUROGAM, IEEE-NSS, Santa Fe, November 2-9 1991.

[ALE] – J. R. Alexander et al., Hardware Overview Of The EUROGAM Data Acquisition System, IEEE-NSS, Daresbury Laboratory, Warrington WA4 4AD, Cheshire, UK.

[AMD 90] – AMD, PAL Device Data Book Bipolar And CMS, 1990.

[AMP 89] – AMPHORA Collaboration, The particle detector array AMPHORA, Nucl. Instr. and Meth. A281, 1989, p. 528-538.

[BAL 56] – E. Baldinger, Advances in Electronics and Electron. Physics, 8, 255, Academic Press, N.-Y. (1956).

[BEE 85] – A. Beer, Design of a fast gated charge integrating front end for use in high density CAMAC and FASTBUS modules, Nucl. Instr. and Meth. A234, 1985, p. 294-301.

[BOU 87] – F. Bourgeois, High-density CAMAC and FASTBUS integrating ADC for use at the LEP OPAL detector, I.E.E.E. Trans. Nucl. Sci. NS-34, N°1, 1987, p.241-245.

[CAH 93] - B. Cahan, J.P. Passérieux et J. Pouthas, Low noise and large dynamic range nuclear amplifier for charge encoding, à paraître dans NIM.

[CAM 83] – CAMAC, Updated specifications, vol. 1, EUR 8500, 1983.

[CHA 90] - R.L. Chase, Détecteurs, Ecole de Cargèse, Mai 1990.

[COP 90] - N. Copinet, Multidétecteur 4π INDRA : Simulation de la géométrie et étude des détecteurs Silicium, Thèse de Docteur, Caen, 1990.

[COU 84] - F. de Coulon, Théorie et traitement des signaux, chapitre 10, Dunod, 1984.

[ESO 83] - Esone Committee, CAMAC Updated specifications, EUR 8500, 1983.

[FEL] - H. Félix, Conception des systèmes VLSI, Techniques de l'Ingénieur, E2415 et E2416.

[FON 79] - R. Fontenay, Convertisseurs Analogique-Numérique, Les meilleurs schémas d'applications, Editions Radio, 1979.

[GAN2 92] - GANIL, Proposition d'un ensemble de production et d'accélération d'ions secondaires à GANIL, "Avant-projet simplifié", GANIL R 92 04.

[GAN1 92] - GANIL, Perspectives de physique offertes par les faisceaux d'ions lourds secondaires, Rapport des groupes de réflexion, Mars 1992.

[GAN 88] - GANIL, Multidétecteur de particules chargées, Avant projet, Rapport GANIL R88 02, Juin 1988.

[GOU] - F.S. Goulding, D.A. Landis and S.M. Hinshaw, Large Coaxial Germanium Detectors - Correction for Ballistic Deficit and Trapping Losses.

[GOU 82] - F.S. Goulding, D.A. Landis, Signal Processing for semiconductor detectors, I.E.E.E. Trans. Nucl. Sci., NS-29, vol. 3, 1982, pp 1125-1141.

[HIN 90] - S.M. Hinshaw and D.A. Landis, A Practical Approach to Ballistic Deficit Correction, I.E.E.E. Nucl. Sci. Symp., January 15-19, 1990.

[IND2 89] - INDRA, Un projet de détecteur 4π pour particules légères chargées et noyaux, GANIL, actualisation Octobre 1989.

[IND1 89] - INDRA , Un projet de détecteur 4π pour particules légères chargées et noyaux, GANIL, Avril 1989.

[KNO 79] - G.F. Knoll, Radiation detection and measurement, New York, John Wiley, 1979.

[LEO 87] - W.R. Leo, Techniques for Nuclear and Particle Physics Experiments, Berlin, Springer-Verlag, 1987.

[LUC] - B. Lucazeau et H. Trézéguet, ASIC, Techniques de l'Ingénieur, E2418.

[MEY 92] - H. Meyer, Studies Of The Response Speed Of Silicon Surface Barrier Detectors, When Irradiated With Different Particles, I.E.E.E. Trans. Nucl. Sci. 1992 (à paraître).

[MOS 68] - M. Moszynski, W. Kurcewicz and W. Przyborski, Nucl. Instr. and Meth. A61, 173, 1968.

[MOT 88] - MOTOROLA, MECL System Design Handbook, 1988.

[OHK 68] - S. Ohkawa, Direct synthesis of Gaussian filter for nuclear pulse amplifiers, Nucl. Instr. and Meth. 138, 1968, p. 85-92.

[PET 88] - Wade D. Peterson, The VMEbus Handbook, A User's Guide to the IEEE1014 and IEC 821 Microcomputer Bus, Novembre 1988.

[POU 93] - J. Pouthas, B. Cahan et J.P. Passérieux, New methods of signal processing for charge identification on a large dynamic range with silicon detectors, à paraître dans NIM.

[RAD 72] - V. RADEKA, Trapezoidal filtering of signals from large germanium detectors at high rate, Nucl. Instr. and Meth., vol. 99, 1972, pp 525-532.

[REH 90] - P. Rehak, E. Gatti, P. Holl and J. Kemmer, Feedback Charge Amplifier Integrated On The Detector Wafer, Nucl. Instr and Meth. A288 , 1990, p. 168-175.

[REN 89] – S. Renaud, P. Marcheray et B. Parmentier, Méthodes d'analyse des dispositifs de conversion A/N en régime dynamique, L'Onde Electrique, Vol. 69 N°1/47, 1989.

[SAM 68] – J.J. Samuelli, J. Pigneret et A. Sarazin, Instrumentation électronique en physique nucléaire (Mesures de temps et d'énergie), Masson, 1968.

[TEK 89] – Tektronix, VXI bus, System Specification, Revision 1.3, Juillet 1989.

[TIL 91] – J. Tillier, Le "trigger" INDRA, Notice technique, L.P.C. CAEN, Avril 1991.

[TRI 92] – M. Tripon, Le QDC6412V INDRA, Notice technique, GANIL Caen, Avril 1992.

[TRI 87] - M. Tripon, Etude et réalisation d'un codeur d'amplitude, Diplôme d'ingénieur CNAM, 1987.

[XIA 87] – X. Xianjie and P. Dajing, A New Sliding Scale Principle And The Spectroscopic ADC Based On This Principle, Nucl. Instr. and Meth. A259 (1987) 521.

[XIL 89] – XILINX, The Programmable Gate Array, 1989.

- BIBLIOGRAPHIE.

- [1] - Commissariat à l'Energie Atomique, Institut de recherche fondamentale, Au-delà de 40 ans de recherche, 1985.**
- [2] - Commissariat à l'Energie Atomique, Institut de recherche fondamentale, Au-delà de 40 ans de recherche, 1985-1989.**
- [3] - P. Lapostolle, Les accélérateurs de particules, Fayard, 1964.**
- [4] - J. J. Livingood, Principles of cyclic particle accelerators, D. Van Nostrand Company, Inc., 1961.**
- [5] - V. Radeka, Low-noise techniques in detectors, Ann. Rev. Sci. Vol 38, 1988, p.217-277.**
- [6] - A. Hrisoho, Front-end electronics for H.E.P., IN2P3 ORSAY, Juillet 1990.**
- [7] - A. Hrisoho, Time-domain noise calculation for the common base current amplifier configuration, Nucl. Instr. and Meth. 185, 1981, p. 207-213.**
- [8] - M.O. Deighton, A time-domain method for calculating noise of active integrators used in pulse amplitude spectrometry, Nucl. Instr. and Meth. 58, 1968, p. 201-212.**
- [9] - M.O. Deighton, Analysis of pulse-rate dependent noise and counting losses in active processor with fast recovery, Nucl. Instr. and Meth. 103, 1972, p. 1-12.**
- [10] - E. Nygard, P. Aspell, P. Jarron, P. Weilhammer and K. Yoshioka, CMOS Low Noise Amplifier For Readout, Nucl. Instr and Meth. A301, 1991, p. 506-516.**
- [11] - J. C. Lund and F. Olschner, Simulation Of Charge Transport In Radiation Detectors, Nucl. Instr and Meth. A288, 1990, p. 31-34.**

[12] - S. L. Thomas, T. Davinson and A. C. Shotter, A Modular Amplifier System For Readout Of Silicon Strip Detectors, Nucl. Instr and Meth. A288, 1990, p. 212-218.

[13] - Paolo Walter Cattaneo, The Effect Of Velocity Saturation On Shape Of Current Signals In Silicon Detectors, Nucl. Instr and Meth. A311, 1992, p. 573-579.

[14] - N. Kurtz and O. Rolland, An Analog Low Noise Read-Out Circuit For Semiconductor Detectors, Nucl. Instr and Meth. A313, 1992, p. 303-307.

[15] - G. Lutz, W. Buttler, H. Bergmann, P. Holl and B. J. Hosticka, Low Noise Monolithic CMOS Front End Electronics, Nucl. Instr and Meth. A263, 1988, p. 163-173.

4 π multidetector INDRA.
Study and realization of a multichannel charge converter.

INDRA is a 4 π detector for charged particles and fragments, recently installed at GANIL in CAEN. It allows a large space coverage, low detection thresholds and a great dynamic range (> 1000). It is composed of more than 600 detectors (Ionisation chambers, Silicon, Caesium iodide scintillators...). All these characteristics has lead to fulfil a brand new acquisition chain able to treat, in the best conditions, the available information stream. This thesis is dedicated to the conception of a new charge converter able to integrate, to digitize and to store in memory the analog pulses coming from silicon detectors and ionization chambers of INDRA.

An electronic design, made with the usual CAMAC standard used in nuclear physic, would have led to a very important number of modules and interconnections that could have not allowed to reach the desired performances. For these reasons the VXI, a VME standard extension, has been choosen. The usual amplitude converting method, sensible to input pulse shape has been abandoned in favor of a charge conversion. The converter has 32 analog inputs equivalent, with the help of a double gain procedure, to 16 bit precision for the smaller energies. An asynchronous triggering has been imagined, permitting a more flexible and less expensive use for the electronic modules.

The design electronic module consists first for the working principles and adaptated components choice. Secondly, some simulations and the realization of a prototypes have been necessary to validate them, before a final decision can be reached. Past the rush design period, some improvements are suggested in the light of the recent experience acquired after the first experiments.

Key words : Nuclear physic - Multidetector - Charge preamplifier - Amplifier - VXI - Charge converter - Integrator - Balistic deficit.

Multidétecteur 4π INDRA.

Etude et réalisation d'un codeur de charge multivoie.

INDRA est un détecteur 4π de particules chargées et de fragments, récemment installé au GANIL à CAEN. Il est doté d'une grande couverture spatiale, de faibles seuils de détection et d'une grande dynamique en énergie (> 1000). Il est composé de plus de 600 détecteurs (Chambres à ionisation, Silicium, scintillateurs à Iodure de Césium...). Toutes ces caractéristiques ont conduit à concevoir, dans sa totalité, une chaîne d'acquisition capable de traiter, dans les meilleures conditions possibles, le flot d'informations que peut procurer un tel ensemble. Cette thèse est dédiée à la conception d'un nouveau codeur de charge capable d'intégrer, de numériser et de stocker en mémoire les impulsions analogiques issues des détecteurs au silicium et de chambres à ionisation d'INDRA.

Un développement de l'électronique de traitement, dans le standard habituellement utilisé en physique nucléaire (le CAMAC), aurait impliqué un nombre trop important de modules et d'interconnexions ne permettant pas d'obtenir les performances désirées. Pour ces raisons, le VXI, extension du standard VME, a été choisi. La méthode classique de codage en amplitude, sensible aux temps de montée des impulsions à traiter, a été abandonnée au profit d'un codage en charge. Le codeur dispose de 32 entrées analogiques à double gain, autorisant pour les faibles énergies une précision équivalente à 16 bits. Un mode de déclenchement asynchrone a été imaginé, permettant une utilisation plus souple et moins onéreuse des modules électroniques.

Le développement d'un module électronique consiste tout d'abord à effectuer des choix de principe et technologiques. Des simulations et la réalisation de prototypes sont ensuite nécessaires afin de les valider, l'ensemble de ces choix doivent ensuite être arrêtés. Après l'utilisation sur site de ces derniers, et sortis de la tourmente de la conception, des améliorations peuvent alors être éventuellement suggérées.

Mots clés : Physique nucléaire - Multidétecteur - Préamplificateur de charge - Amplificateur - VXI - Codeur de charge - Intégrateur - Déficit balistique.

Alain BERTAUT

4 π multidetector INDRA.

Study and realization of a multichannel charge converter.

INDRA is a 4 π detector for charged particles and fragments, recently installed at GANIL in CAEN. It allows a large space coverage, low detection thresholds and a great dynamic range (> 1000). It is composed of more than 600 detectors (Ionisation chambers, Silicon, Caesium iodide scintillators...). All these characteristics has lead to fulfil a brand new acquisition chain able to treat, in the best conditions, the available information stream. This thesis is dedicated to the conception of a new charge converter able to integrate, to digitize and to store in memory the analog pulses coming from silicon detectors and ionization chambers of INDRA.

An electronic design, made with the usual CAMAC standard used in nuclear physic, would have led to a very important number of modules and interconnections that could have not allowed to reach the desired performances. For these reasons the VXI, a VME standard extension, has been choosen. The usual amplitude converting method, sensible to input pulse shape has been abandoned in favor of a charge conversion. The converter has 32 analog inputs equivalent, with the help of a double gain procedure, to 16 bit precision for the smaller energies. An asynchronous triggering has been imagined, permitting a more flexible and less expensive use for the electronic modules.

The design electronic module consists first for the working principles and adaptated components choice. Secondly, some simulations and the realization of a prototypes have been necessary to validate them, before a final decision can be reached. Past the rush design period, some improvements are suggested in the light of the recent experience acquired after the first experiments.

Key words : Nuclear physic - Multidetector - Charge preamplifier - Amplifier - VXI - Charge converter - Integrator - Ballistic deficit.

Multidétecteur 4π INDRA.

Etude et réalisation d'un codeur de charge multivoie.

INDRA est un détecteur 4π de particules chargées et de fragments, récemment installé au GANIL à CAEN. Il est doté d'une grande couverture spatiale, de faibles seuils de détection et d'une grande dynamique en énergie (> 1000). Il est composé de plus de 600 détecteurs (Chambres à ionisation, Silicium, scintillateurs à Iodure de Césium...). Toutes ces caractéristiques ont conduit à concevoir, dans sa totalité, une chaîne d'acquisition capable de traiter, dans les meilleures conditions possibles, le flot d'informations que peut procurer un tel ensemble. Cette thèse est dédiée à la conception d'un nouveau codeur de charge capable d'intégrer, de numériser et de stocker en mémoire les impulsions analogiques issues des détecteurs au silicium et de chambres à ionisation d'INDRA.

Un développement de l'électronique de traitement, dans le standard habituellement utilisé en physique nucléaire (le CAMAC), aurait impliqué un nombre trop important de modules et d'interconnexions ne permettant pas d'obtenir les performances désirées. Pour ces raisons, le VXI, extension du standard VME, a été choisi. La méthode classique de codage en amplitude, sensible aux temps de montée des impulsions à traiter, a été abandonnée au profit d'un codage en charge. Le codeur dispose de 32 entrées analogiques à double gain, autorisant pour les faibles énergies une précision équivalente à 16 bits. Un mode de déclenchement asynchrone a été imaginé, permettant une utilisation plus souple et moins onéreuse des modules électroniques.

Le développement d'un module électronique consiste tout d'abord à effectuer des choix de principe et technologiques. Des simulations et la réalisation de prototypes sont ensuite nécessaires afin de les valider, l'ensemble de ces choix doivent ensuite être arrêtés. Après l'utilisation sur site de ces derniers, et sortis de la tourmente de la conception, des améliorations peuvent alors être éventuellement suggérées.

Mots clés : Physique nucléaire - Multidétecteur - Préamplificateur de charge - Amplificateur - VXI - Codeur de charge - Intégrateur - Déficit balistique.

Alain BERTAUT